SBCT - Un système de protection machine rapide pour la surveillance du courant faisceau

Victor Nadot

20 novembre 2025

Objectifs de cette présentation

1. Présenter les différents aspects du développement d'un élément du "Machine Protection System" sur FPGA et avec monitoring EPICS
2. Partager mes retours d'expérience : les bonnes et les moins bonnes idées
3. Échanger sur les sujets où je suis preneur de retours d'expérience
   - **#IPDDCSALP**: Intéressé Pour Discuter De Ce Sujet Après La Présentation

1. Introduction

Rôle du SBCT

Éviter de faire des trous dans le linac si le faisceau est dévié !

Le SBCT (**Section Beam Current and Transmission board**) fait partie du système de protection machine (MPS). Il surveille le courant et la transmission du faisceau et le coupe si nécessaire pour éviter d'endommager l'accélérateur.

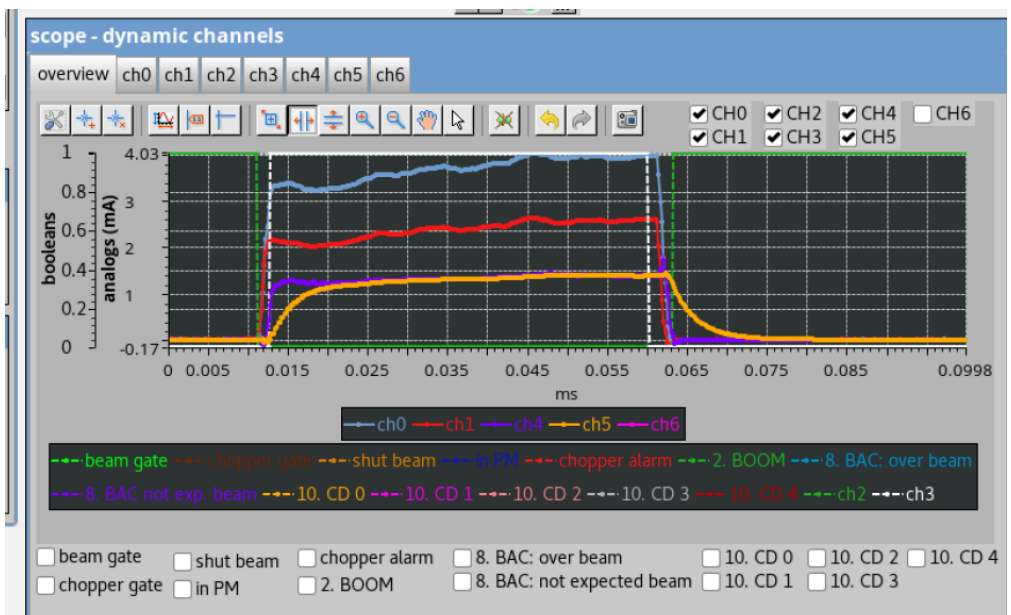


Figure 2: Transmission avec HARPS insérés

Contexte

1. Développé dans le cadre du projet Saraf
2. Le SBCT doit détecter en moins de 5 µs les pertes de faisceau ou une situation anormale
3. Avancement SBCT : 80 %
4. Post-développement Saraf : réutilisation pour d'autres projets d'accélérateurs

2. Du hardware au software en passant par le firmware

Les capteurs de courant et leur électronique

- Capteurs de courant faisceau : ACCT (et dans certains cas FC)
- Modèle équivalent : filtre passe-haut Fc ≈ 3 Hz (Tau = 50 ms)

The lower frequency cutoff (-3 dB) of a transformer is given by:

$$f_L = \frac{R}{2\pi \cdot L}$$

Where:

- L is the core winding inductance
- R is the winding load

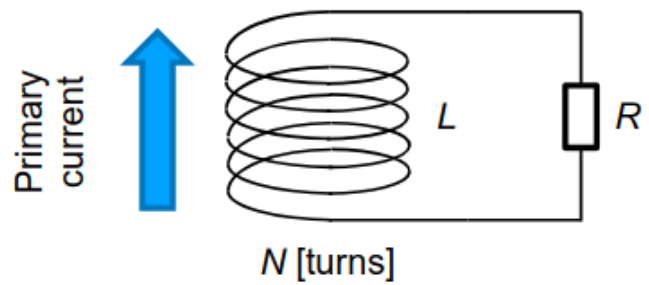


Figure 3: Modèle de base ACCT

Figure 4: ACCT Bergoz, “in flange” et “in air”

Figure 5: Front End Electronics de Bergoz

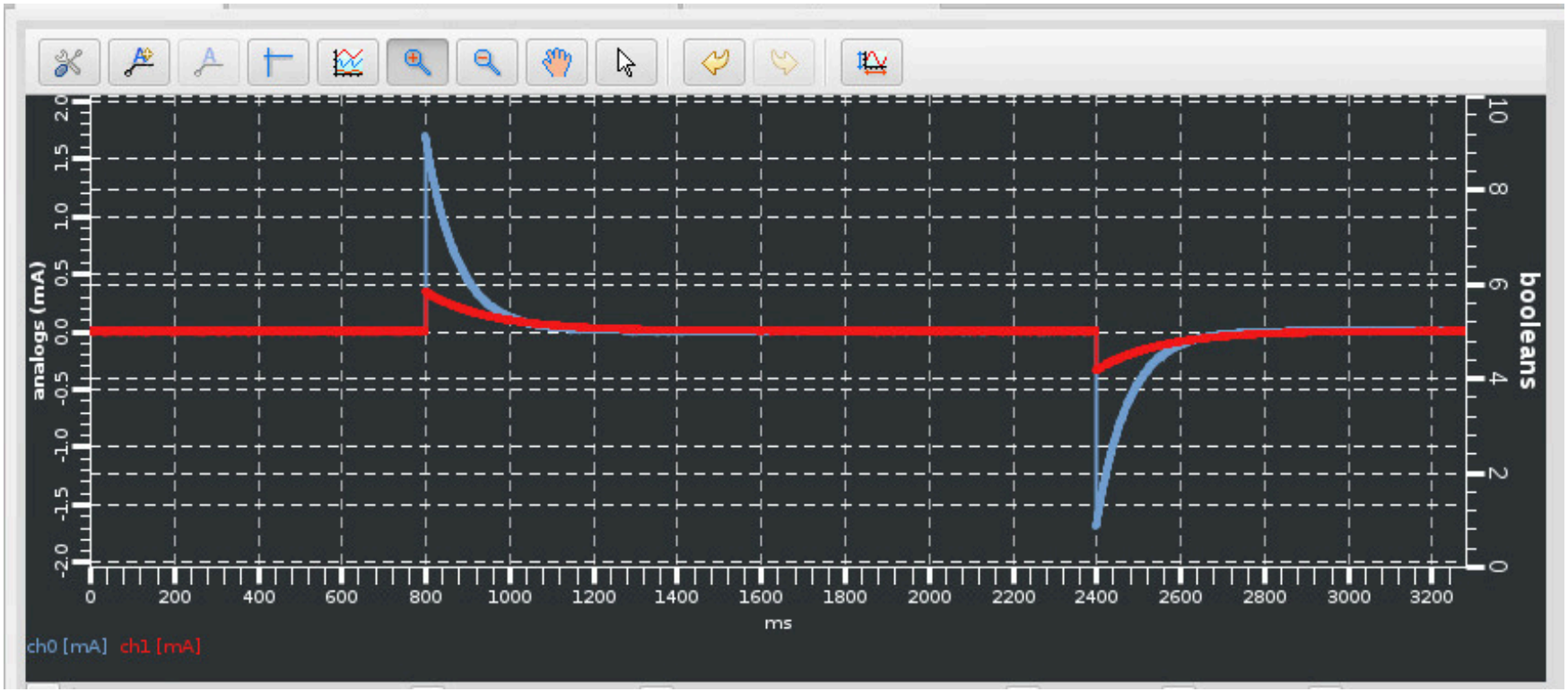
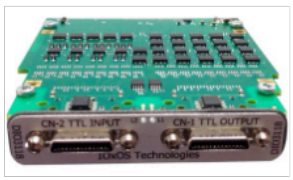


Figure 6: Signaux ACCT attendus

Les cartes d'acquisition



- IOxOS:
  - ADC3117 : 20 canaux, 5 MSamples/sec, ±10 V
  - DIO3118 datasheet : 16 entrées/sorties TOR
  - MTCA.4 AMC : IFC1410 (FPGA Xilinx Kintex Ultrascale + CPU PPC)

Le firmware

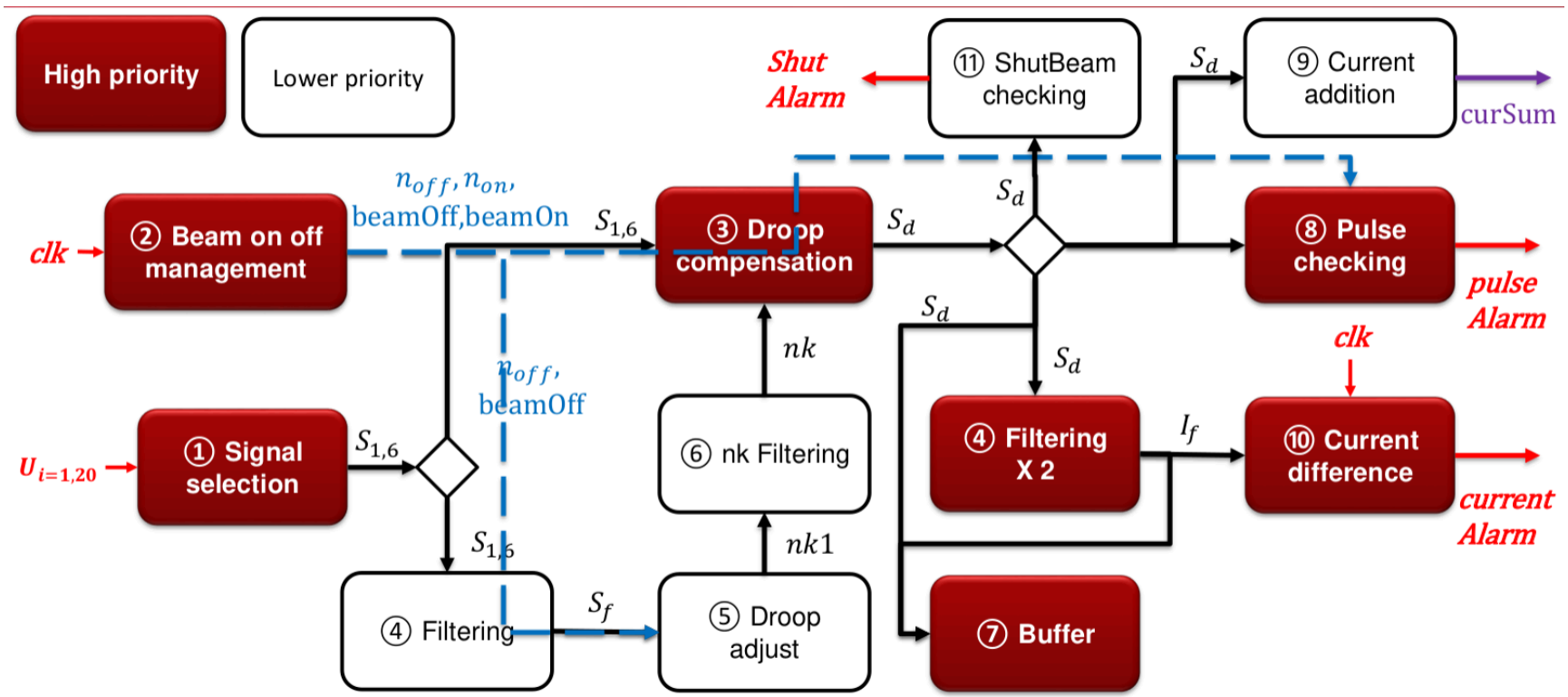


Figure 8: Diagramme fonctionnel SBCT

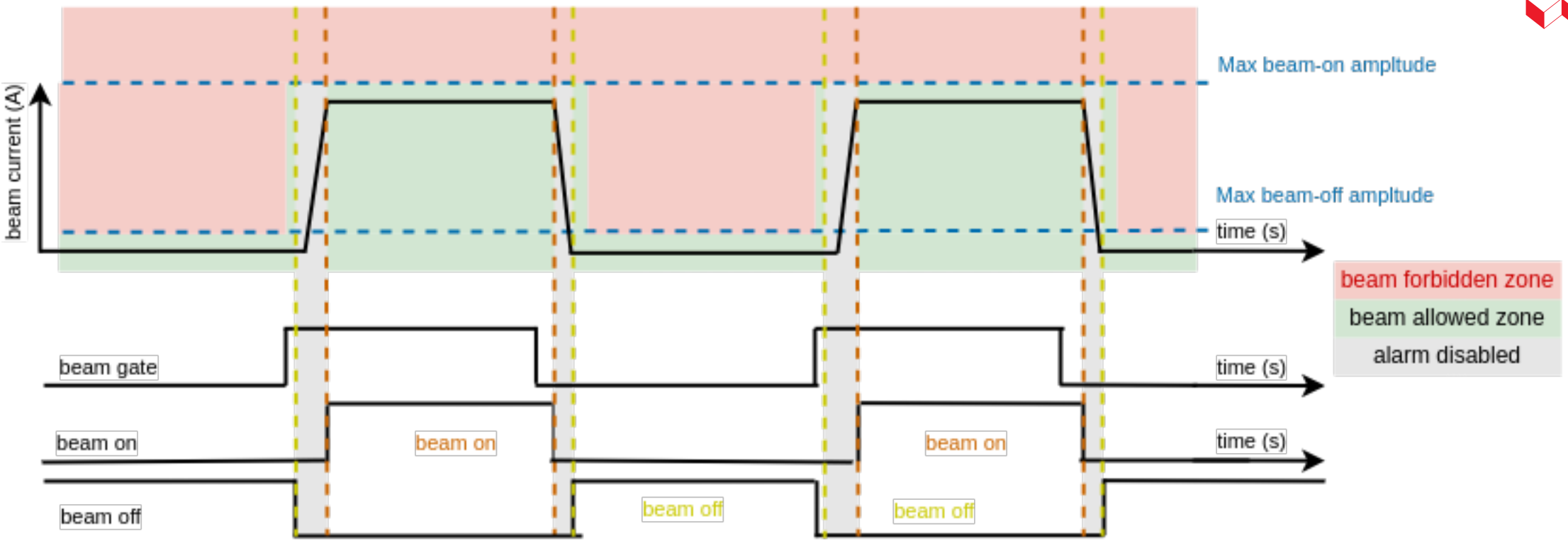


Figure 9: Vérification temporelle (2. BOOM) et d'amplitude (8. BAC) du faisceau

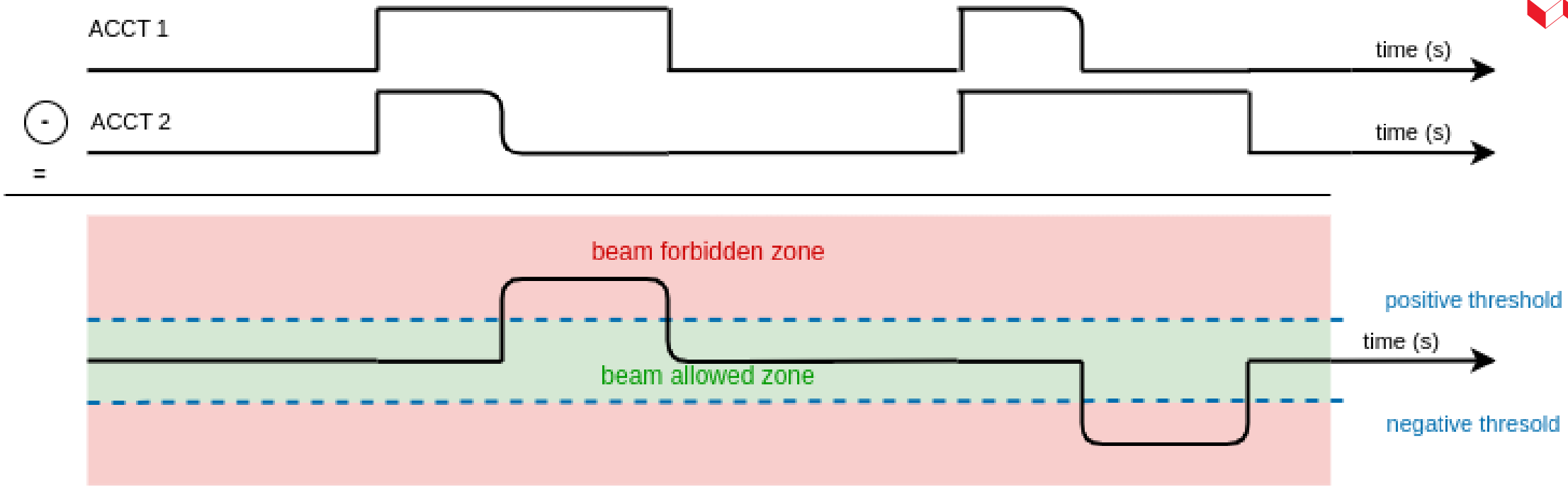


Figure 10: Vérification de la différence de courant (10. CD)

1. **3. Droop Compensation** : compense le “droop” de l’ACCT

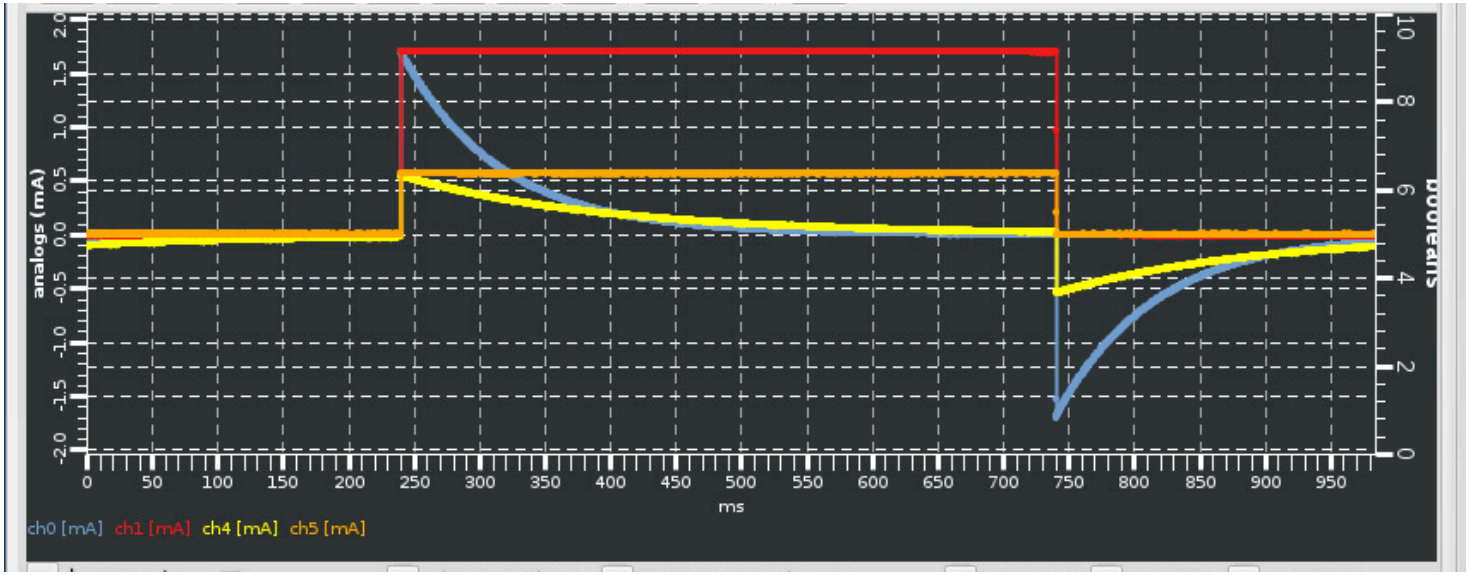


Figure 11: 1 Hz 50 %, Blue: ACCT in flange, Red: ACCT in flange corrected, Yellow: ACCT in air, Orange: ACCT in air corrected

2. ***4. Filtrage*** : sensible à
   1. petites pertes à long terme
   2. grandes pertes à court terme

3. **11. Shut Beam Checking** : déclenchement redondant de la coupure si l'ACCT détecte toujours du faisceau après une demande de coupure
4. **20. Interlocks** : protection rapide (quelques µs) via signaux booléens câblés (ex : `état de la FGV`, `état de la cible`)
5. **Protection du chopper** : compare la haute tension mesurée sur le hacheur avec la porte de hachage temporelle - elles doivent correspondre !

Le software

1. Système de contrôle : EPICS
2. epicsComGen ou “Epics comme j’aime” : génère la communication entre les registres FPGA et les PVs EPICS
   - 556 registres de 32 bits, 1300 PVs EPICS
3. GUI : 54 interfaces graphiques (CS-Studio et Phoebus)

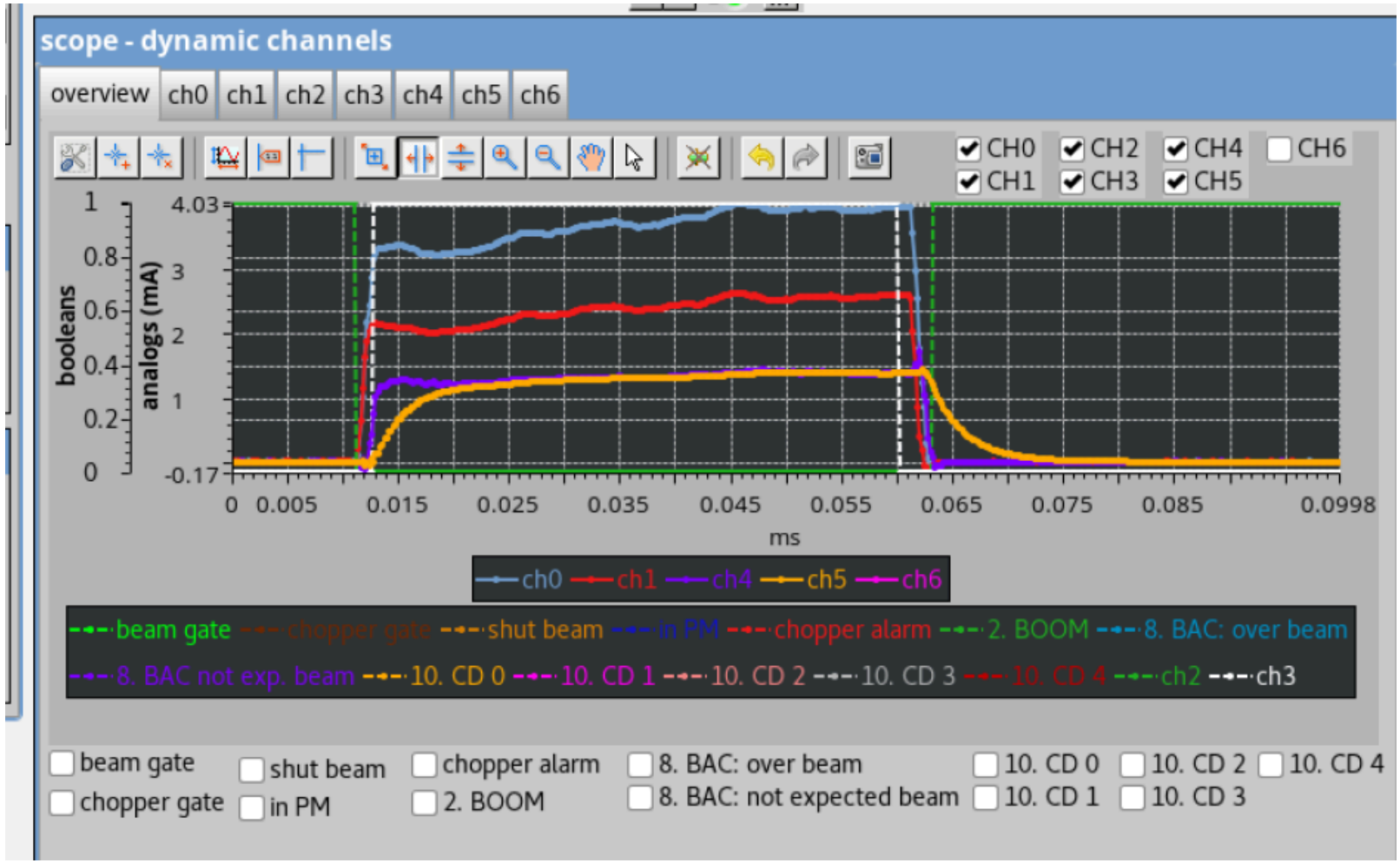


Figure 12: Transmission avec HARPS insérés

3. Autres

Généricité

1. Ajout de fonctionnalités spécifiques aux nouveaux projets : j'utilise exactement la même base au niveau firmware, et je configure ensuite dans EPICS uniquement ce dont le projet a besoin (#IPDDCSALP)
2. Documentation par projet :
   - Problématique : génération de documentations par projet avec une base commune et insertion des spécificités des projets (#IPDDCSALP)

Les tests et le déploiement

- Importance des tests (MPS, mises à jour fréquentes et utilisation sur plusieurs projets d'accélérateurs.)
- Tests à tous les niveaux :
  - Firmware : banc de test en VHDL (et bientôt en Cocotb #IPDDCSALP)
  - CPU : tests de mappage mémoire des registres (scripts générés via epicsComgen)
  - EPICS : WeTest : tests unitaires et fonctionnels
- Déploiement automatique des tests sur matériel (Hardware in the Loop - HIL)
  - En cours de développement par Marius (stagiaire 6 mois), basé sur Lagbrid + logiciel "maison" (Marius, Rémi et moi: #IPDDCSALP)

Perspectives

1. Validation pour les impulsions longues en cours
2. Déploiement automatique des tests
3. Développement et intégration pour les nouveaux accélérateurs
4. Progrès sur le timestamp #IPDDCSALP

4. Conclusion

Les points sur lesquels je suis content de moi

1. Le temps gagné avec epicsComGen
2. Haute disponibilité des E/S si un canal de l'ADC ou DIO grille

Leçons apprises

1. Pouvoir tester sur du vrai matériel le plus tôt possible (ACCT et FEE)
2. Temps de développement VS temps de test et déploiement
3. La qualité de la mesure: c'est bien d'avoir un électronicien analogique sous le coude

5. Merci !