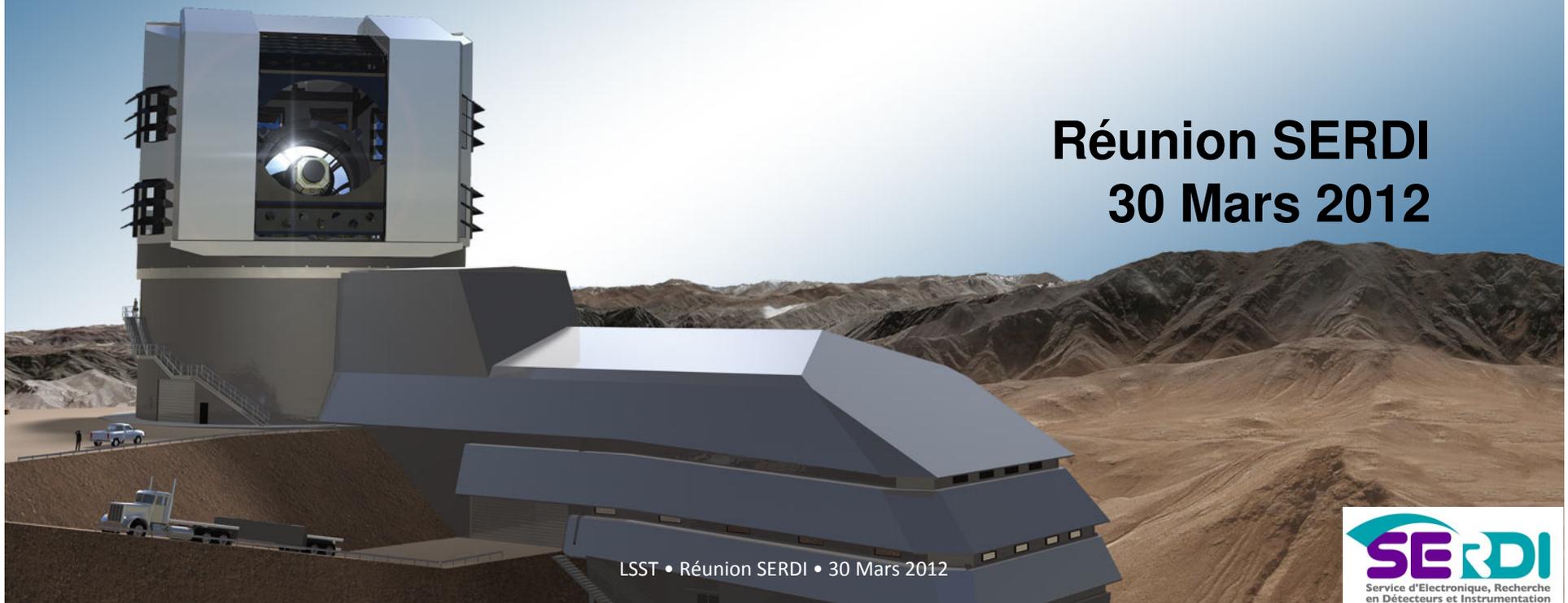


Large synoptic Survey Telescope: “the widest, fastest, deepest eye of the new digital age” ...

Vanessa Tocut

**Réunion SERDI
30 Mars 2012**



Un nouveau télescope: pourquoi?

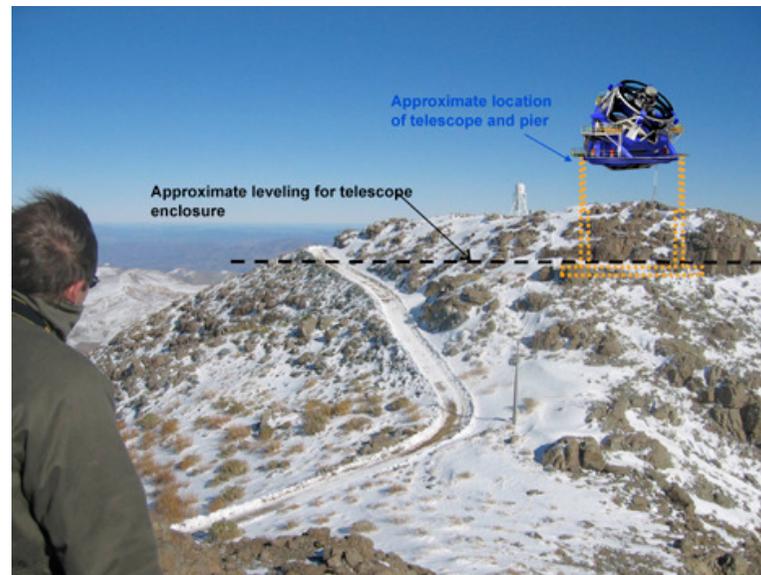


- WIDE (large)
 - LSST sera un télescope à grande ouverture et large champ, équipé d'une caméra de 3200 Mpixel pour l'observation des objets astronomiques de faible luminosité.
- FAST (rapide)
 - LSST devra parcourir rapidement le ciel profond, suivre des objets qui bougent ou changent : de l'explosion de supernovae aux astéroïdes orbitant près de la Terre.
- DEEP (profond)
 - LSST devra cartographier des milliards de galaxies, sonder l'univers à la recherche de la matière noire et de l'énergie noire.

Un nouveau télescope: où?



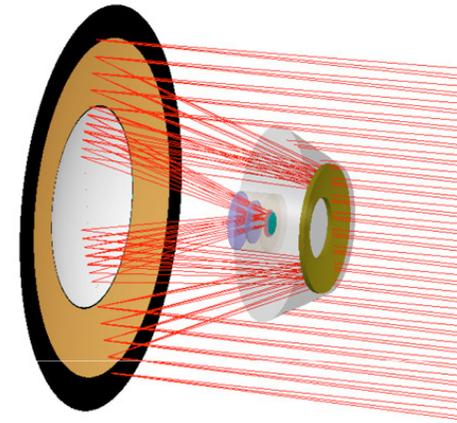
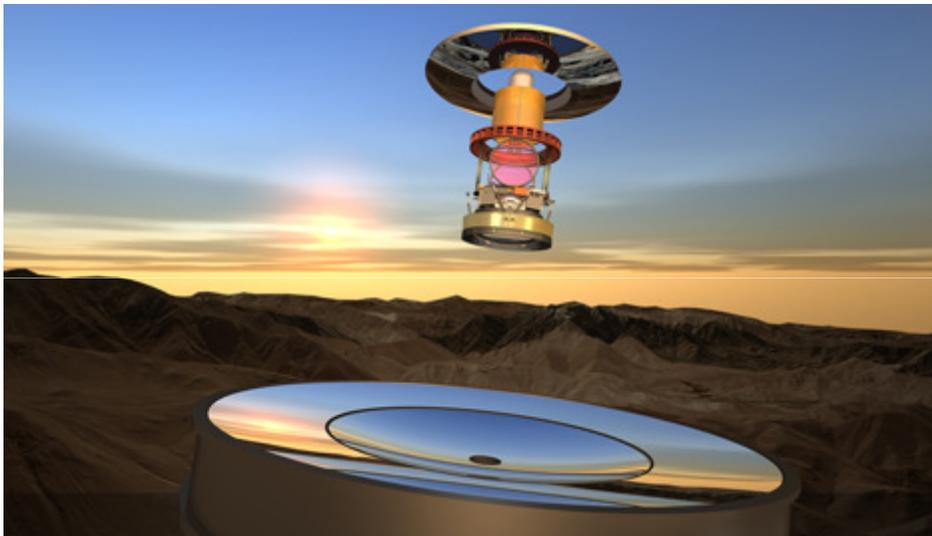
Chili – site de Cerro Pachon situé à 2680 m d'altitude
et reconnu pour ses nuits claires et son faible taux d'humidité



Un nouveau télescope: comment?



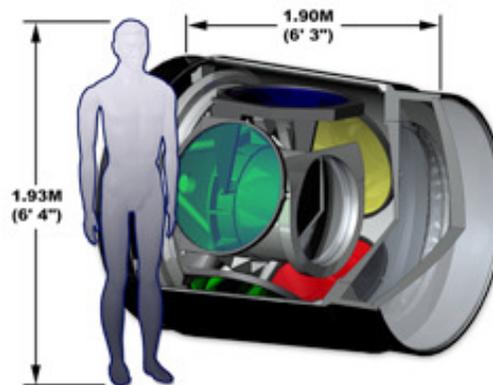
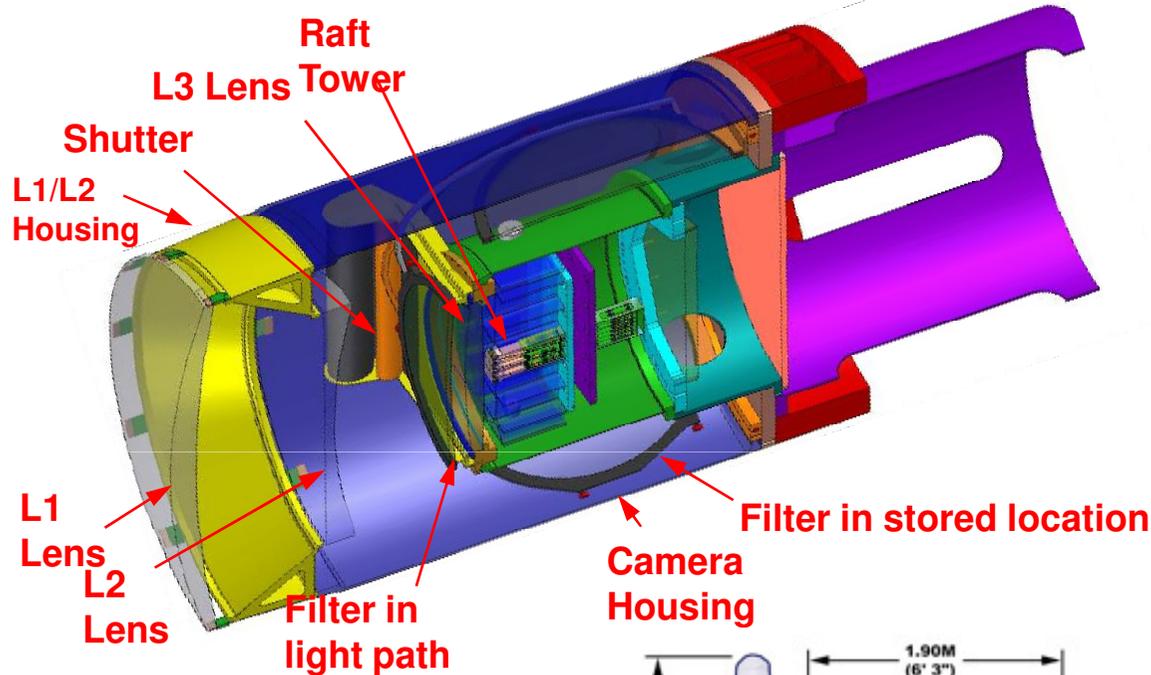
- télescope de type Paul-Baker: optique très compact
- 3 miroirs focalisent la lumière: miroirs primaire et tertiaire concentriques
- 3 lentilles de correction de champ sur la camera



Miroir primaire:

- 8m de diamètre

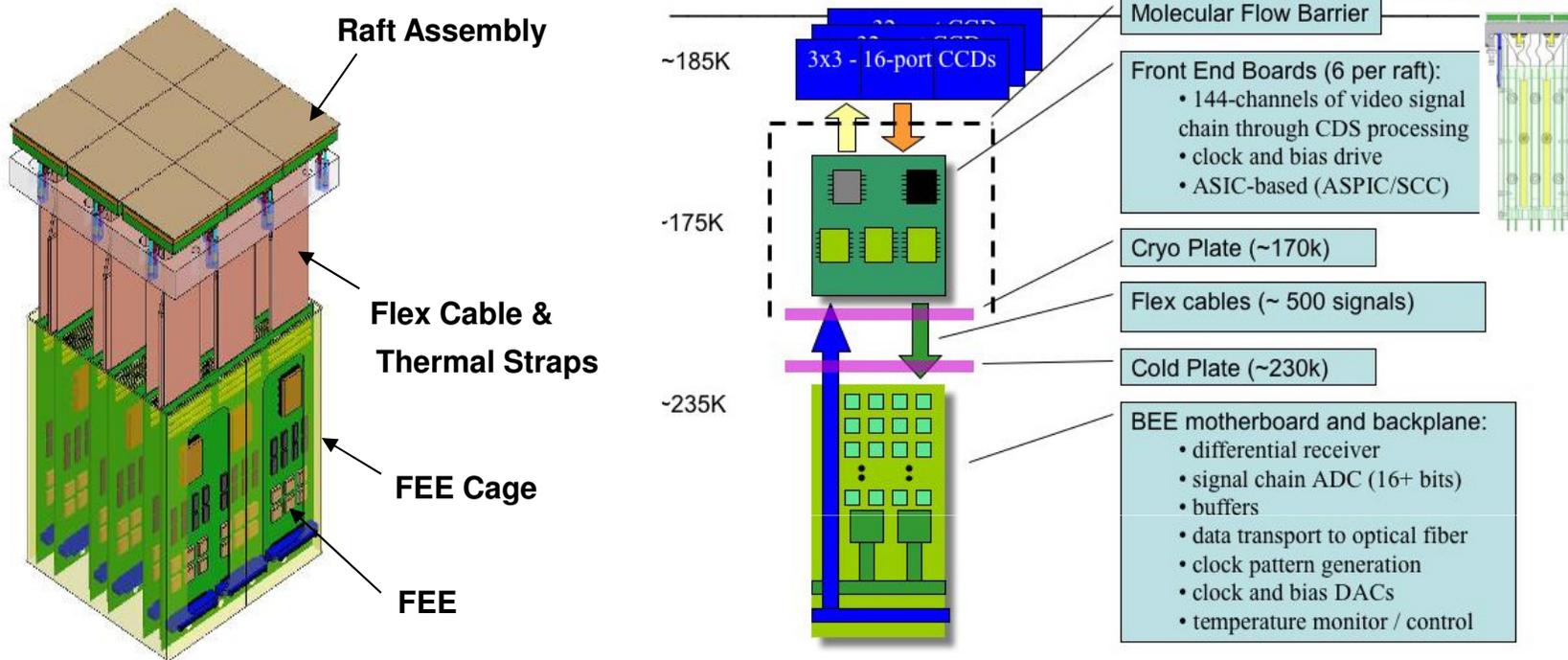
Un nouveau télescope: comment?



Plan focal LSST:

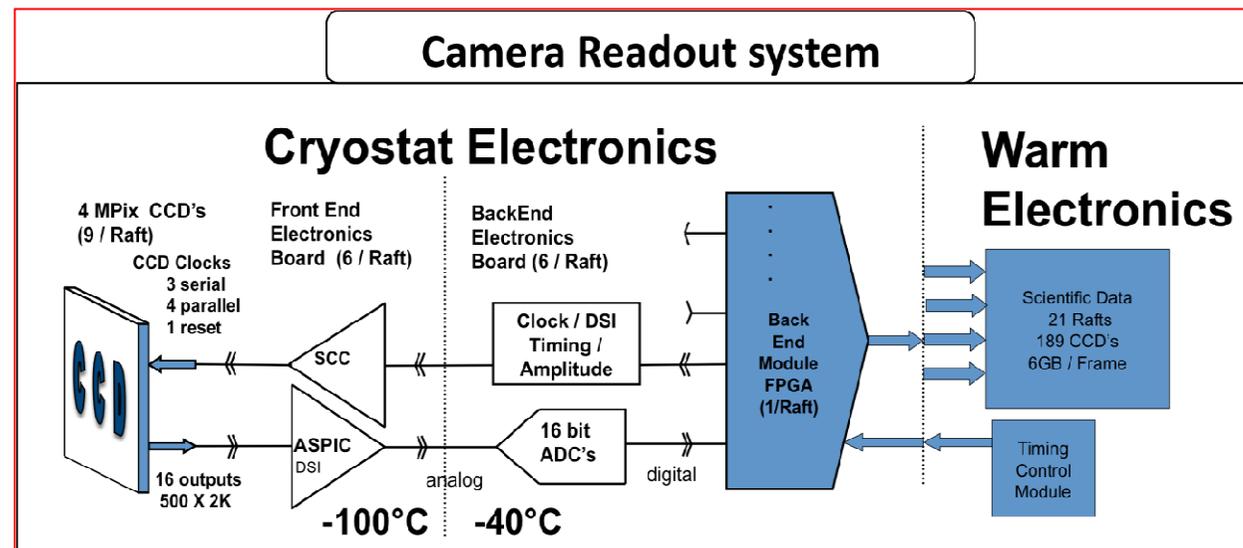
- Mosaïque de CCD de 16M pixels pour un total de 3.2G pixels
- CCD segmentés: 16 sorties / CCD opérant à 550kHz
- Gain prévu de $3-5 \mu\text{V}/e^-$ avec une capacité totale de $200.000 e^-$

Systeme d'acquisition video



RAFT TOWER

↙ 3024 voies d'électronique

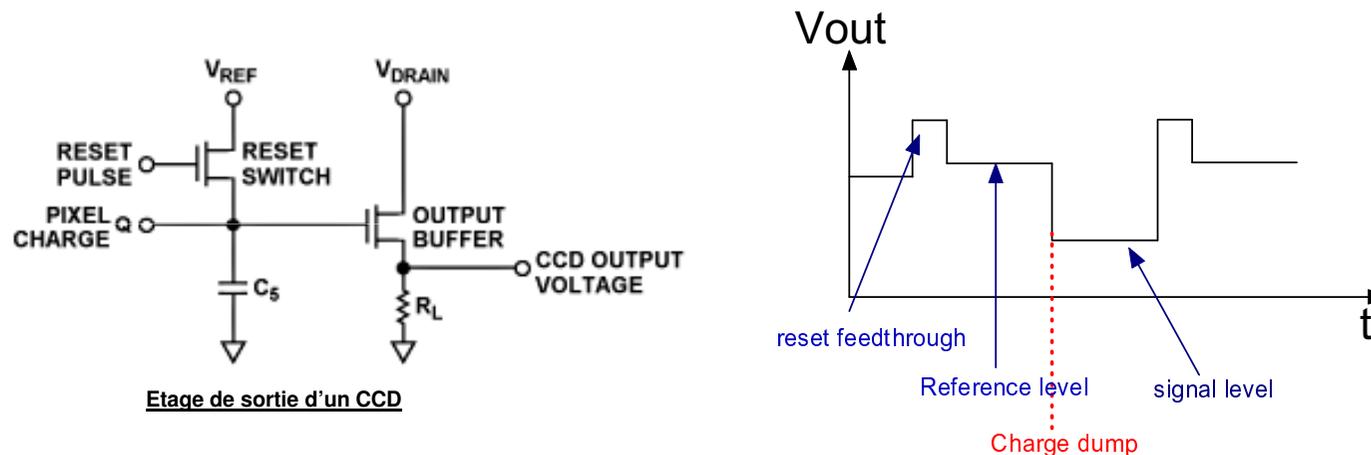




- Température de fonctionnement: **173K**
- Vitesse de lecture des CCD: **550kHz**
- Budget puissance: **25mW/canal**
- Bruit maximum: **7 μ V**
- Crosstalk : **10⁻⁴** level [0.01% (goal) - 0.05% (max)]
- Gamme dynamique d'entrée: 0 – 400mV
- Linéarité: **0.5%**

ASPIC: Integration double rampe

- **Signal de sortie d'un CCD = signal de faible niveau:**
 - chaque photo-électron produira quelques μV .
- **Forme du signal complexe – nécessité d'un timing précis**



Le traitement de l'image doit se faire en lisant le niveau de référence et le signal

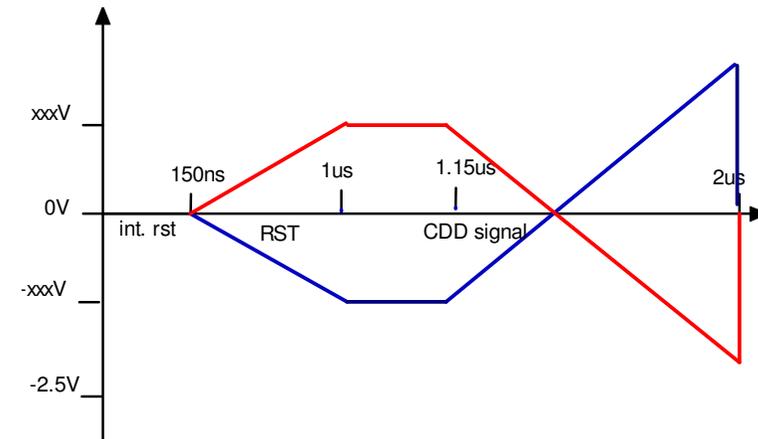
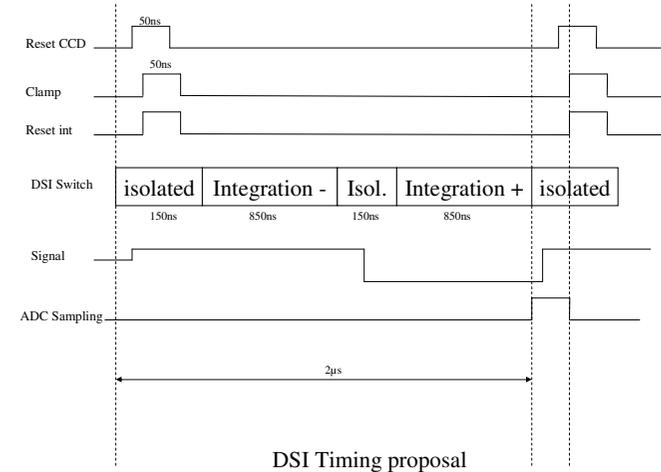
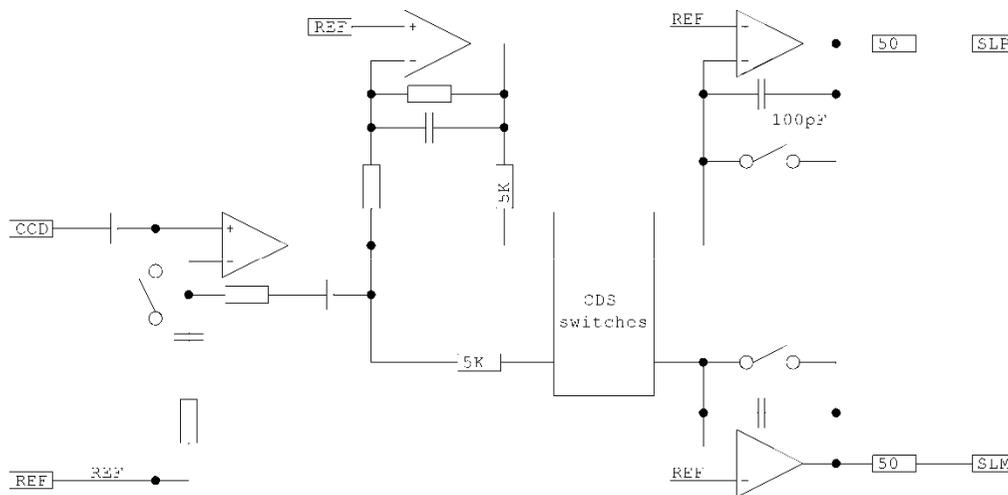
↳ La différence de ces signaux donnera le nombre d'électrons du pixel lu

↳ **Technique: Correlated Double Sampling**

ASPIC: Integration double rampe

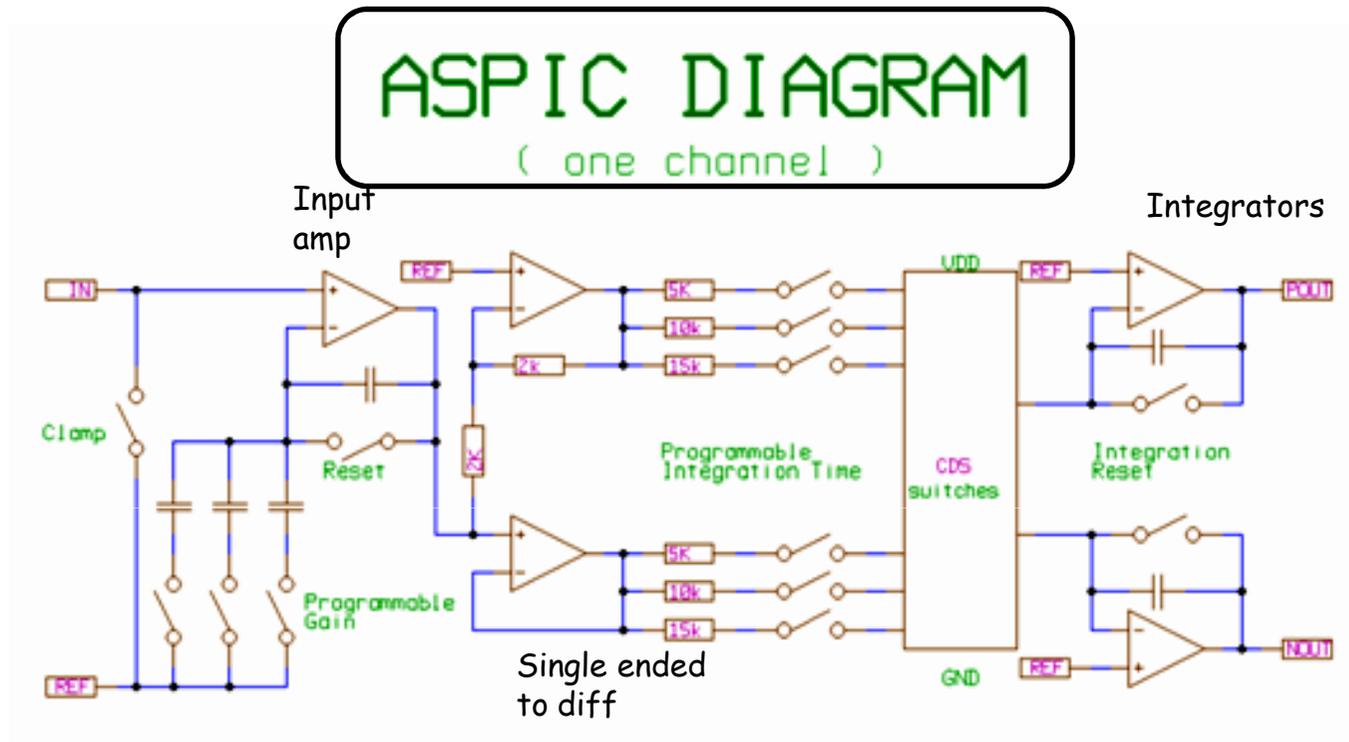


- Dual Slope Integrator



- Suppression automatique du bruit de reset des CCD
- Utilisé dans SNAP: *A low power, wide dynamic range multigain signal processor for the SNAP CCD* – JP Walder et Al. – NSS Oct 2004.

ASPIC II : schéma de principe



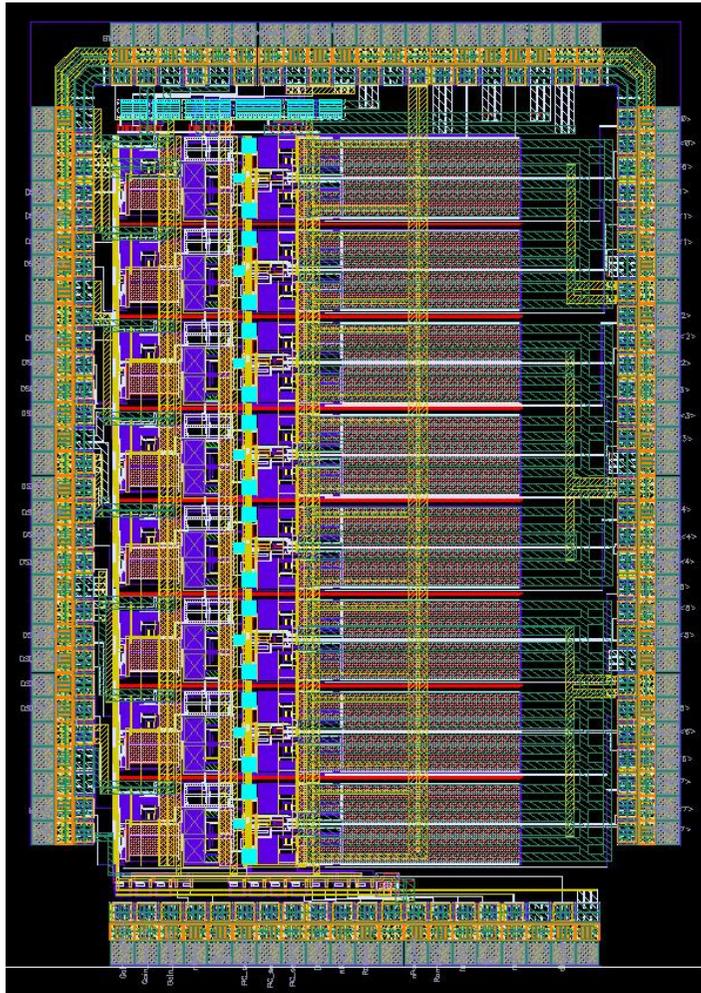
- **3 gains programmable:** 2.5 – 5 – 7.5
↳ Prise en compte de la dispersion de gain dans les CCD
- **3 constantes d'intégration programmables:** 500ns – 1µs – 1.5µs
↳ Prise en compte de timing différents
- **mode repos:** réduction de la puissance consommée d'un facteur 1000 pendant les temps d'exposition

ASPIC II : performances



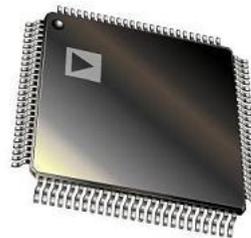
| | Spec nominales | Résultats |
|---------------------------|---------------------------|--|
| Puissance dissipée @ 173K | 25mW | 25mW (with extra bias) (2mW in idle mode) |
| Gain | 5 | 6 |
| linéarité | 0.5% | 0.3% |
| Bruit @ 173K – Gain 5 | 7 μ v | 4.8 μ V (5.9 μ V @ 296k) |
| Bruit @ 173K – Gain 2 | Pas de Specs | 6 μ V (8.8 μ V @ 296k) |
| Crosstalk | 0.05% max (0.01% goal) | 0.02% |

ASPIC II



- Techno : CMOS 0.35μ/5V
- Vendeur : AMS
- Encapsulation:
 - CQFP100
 - QFN100
- 8voies DSI

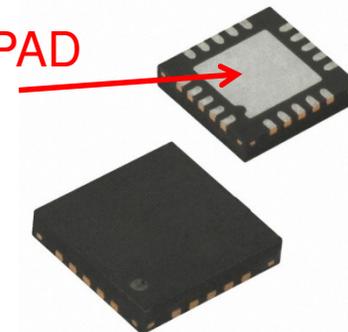
QFP Package



| | |
|-----------------|-------|
| | Meas. |
| Noise @ -100 °C | 5.7μV |

QFN Package

Thermal PAD



| | |
|-----------------|-------|
| | Meas. |
| Noise @ -100 °C | 4.8μV |

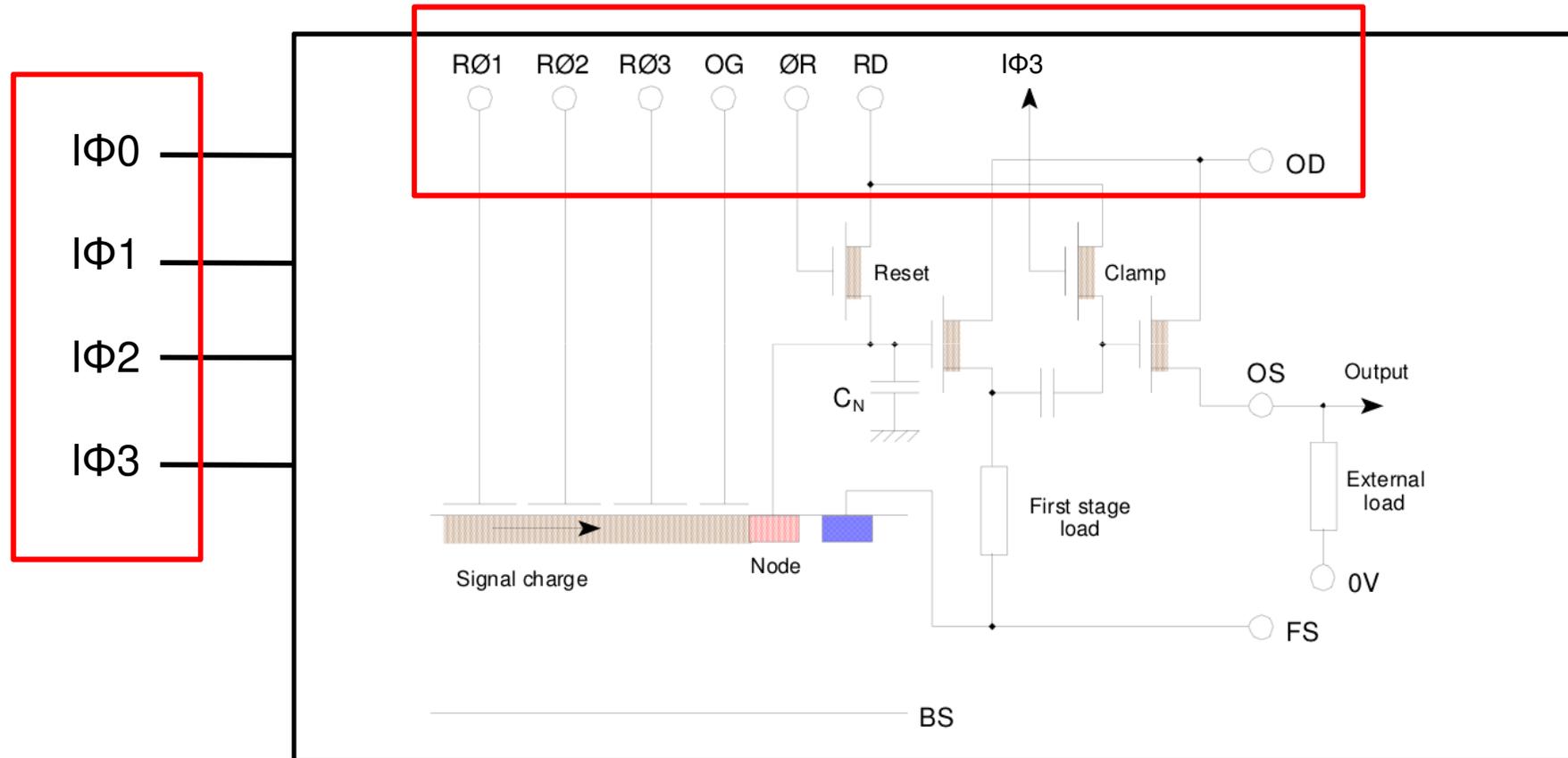
√

ASPIC III : nouveaux objectifs & spécifications



| | spécifications |
|-------------------------------|---|
| temperature de fonctionnement | 173 K |
| Puissance @ 173K | 25mW |
| CCD full Well | e2v:150 – 200 ke- : nominal 180ke- ITL: 70 – 90 ke- : nominal 90 ke- |
| Gain CCD | e2v: 5.75 $\mu\text{V}/\text{e}^-$ ITL : 5.5 $\mu\text{V}/\text{e}^-$ |
| Gain | 1.7-6 |
| Vitesse de lecture des CCD | 0.1- 1 MHz 550 kHz nominal |
| Linéarité | 0.5% |
| Noise @ 173K | Moins de 2 e- soit 10 μV |

Transfert de charges et alimentation d'un CCD: principe



CABAC: Clock And Bias Asic for CCD



Caractéristiques des CCD

| <u>OD & Biases</u> | e2v CCD250 | | ITL/STA1920A | | HPK S10892-03 | | | |
|---------------------------------|-------------|-----|--------------|-----|---------------|---------------|------------------|--------------|
| | | | | | | <u>expose</u> | <u>readout</u> | <u>erase</u> |
| Back substrate | BS | -70 | BB | -10 | VBB | 50 | 30 | 0,2 |
| Front substrate | FS | 0 | SUB | 0 | VGR | 0 | 0 | 0 |
| Guard | GD | 30 | SC | 16 | - | - | - | - |
| Output Drain | VOD | 30 | OD | 27 | VOD | -5 | -20 | -5 |
| Output Gate | VOG | 2 | OG | -2 | VOG | -5 | -5 | -5 |
| Reset Drain | VRD | 18 | RD | 15 | VRD | -5 | -12 | -5 |
| Test inject source | - | - | - | - | VISV | -5 | -12 | -5 |
| Test injectgate | - | - | - | - | VIGV | 0 | 0 | 0 |
| | | | | | | | | |
| <u>Clocks</u> | HI | LO | HI | LO | HI | LO | erase | |
| | | | | | | | | |
| Parallel | 9 | 0 | 4 | -11 | -5 | 3 | 6 | |
| Serial | 10 | 0,5 | 4 | -4 | -6 | 3 | 6 | |
| Reset Gate | 9 | 0 | 10 | -2 | -6 | 5 | | |
| Summing Well | - | - | 4 | -4 | -6 | 5 | | |
| Transfer Gate | - | - | - | - | -5 | 3 | | |
| | | | | | | | | |
| <u>Capacitances (estimated)</u> | | | | | | | | |
| Parallel per phase | 64 | nF | unavailable | | 25 | nF | (2K x 1K device) | |
| Serial per phase | 320 | pF | unavailable | | 50 | pF | | |
| | | | unavailable | | | | | |
| RG | unavailable | | | | 10 | pF | | |
| SW | - | - | - | - | 10 | pF | | |
| TG | - | - | - | - | 100 | pF | | |

← baseline



CABAC: Clock And Bias Asic for CCD

- OD & Biases:
 - 2 OD : 8 bits pour des niveaux programmable de 13 à 36V, 16 mA sur une charge de : $100\Omega + .1\mu\text{F}$
 - 1 RD : 8 bits pour des niveaux programmable de 13 à 36V, sur une charge de $1\text{k}\Omega + .1\mu\text{F}$
 - 1 GD : 8 bits pour des niveaux programmable de 13 à 36V, sur une charge de $1\text{k}\Omega + .1\mu\text{F}$
 - 1 OG : 8 bits pour des niveaux programmable de 0.1 à 4.8V, sur une charge de $1\text{k}\Omega + .1\mu\text{F}$
- Clocks :
 - 4 parallèles: 8 bit pour la programmation du courant jusqu'à 300mA sur $\Delta V = 20\text{V}$ max
 - 4 séries: 8 bit pour la programmation du courant jusqu'à 16mA max

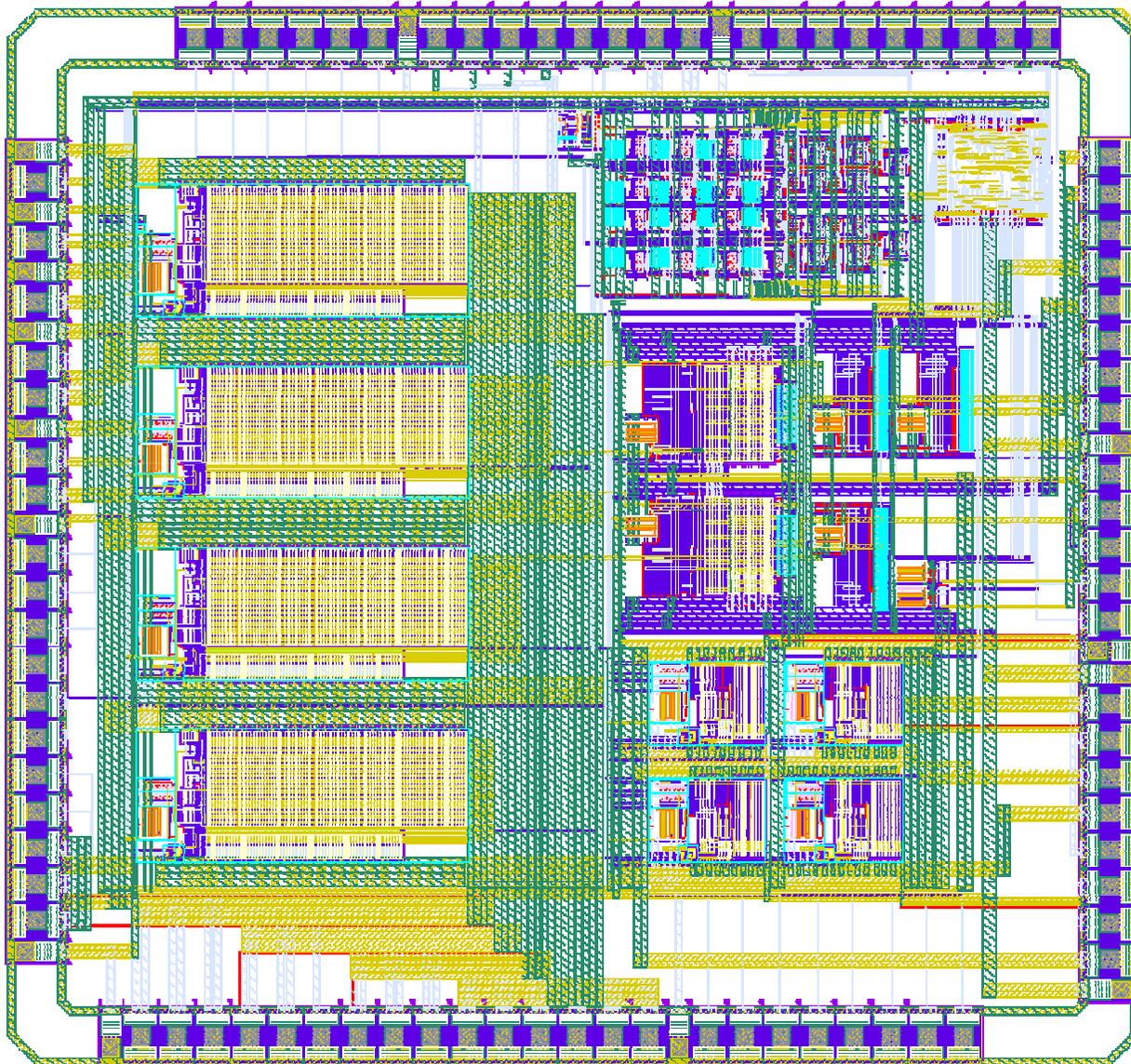
CABAC: Clock And Bias Asic for CCD

- **Process** : AMS CMOS 0.35 μ m 50V, H35B4D3
- **Paramètre spécifique Life Time Accelerator (LTacc)**
 \Rightarrow durée de vie du composant = 10 years/Ltacc en fonction de Vgs

| HV NMOS Transistors | Device name | max. VGS [V] | max. VDS [V] | max. VGB [V] | max. VDB [V] | max. VSB [V] | LTacc | Device length [μ m] | Note |
|--|-------------|--------------|--------------|--------------|--------------|--------------|-------|--------------------------|----------|
| High voltage NMOS with thin gate oxide | NMOS50T | 1.8 | 34 | 3.6 | 50 | 3.6 | 100 | 0.5 | Q1,Q3,Q4 |
| | | 0.8 | 50 | | | | 600 | | |
| | | 1.0 | 20 | 1.2 | 20 | | 1 | 2.5 | Q2,Q3,Q4 |
| | | 3.6 (5) | 50 (55) | 3.6 (5) | 50 (55) | 3.6 (5) | 2000 | 0.5 | Q1,Q3,Q4 |
| High voltage NMOS with mid-oxide | NMOS50M | 5.5 (7) | 50 (55) | 5.5 (7) | 50 (55) | 5.5 (7) | 100 | 0.5 | Q1,Q3,Q4 |
| | | 1.3 | | 1.3 | 20 | | 1 | 3.0 | Q2,Q3,Q4 |

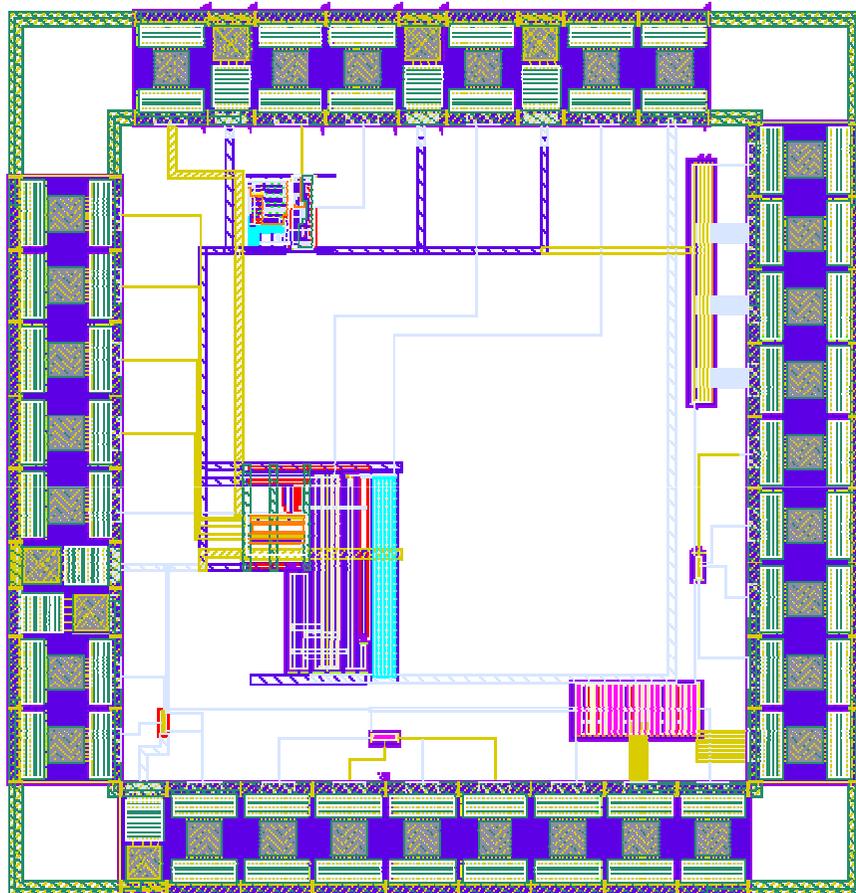
- **Durée de vie à -120°C**: aucune garantie du fondeur

CABAC: Clock And Bias Asic for CCD



Surface : ~36mm²
Prix: 40 keuros

Test_0: un galop d'essai

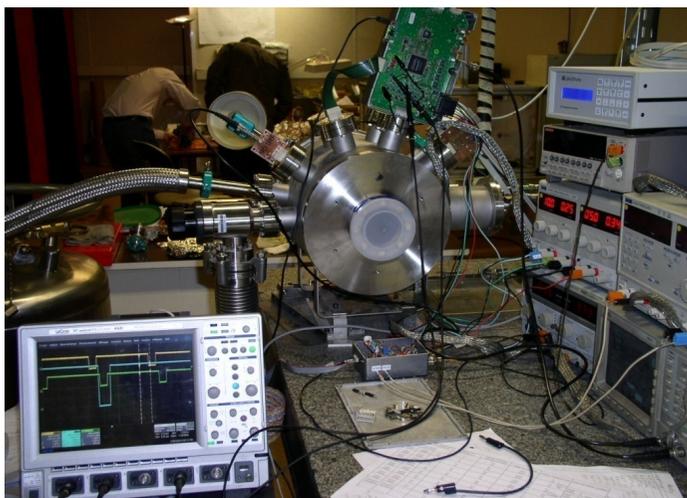


- 1 bloc d'alimentation
- 1 bloc de mesure de la température
- 6 transistors haute tension 20V – 50V

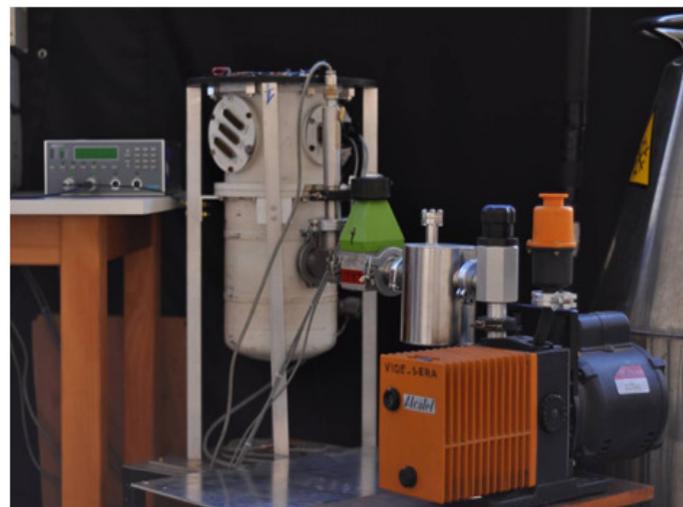
Surface : 5mm²

ASPIC & CABAC: Bancs de tests

Voir présentation de Jimmy cet automne

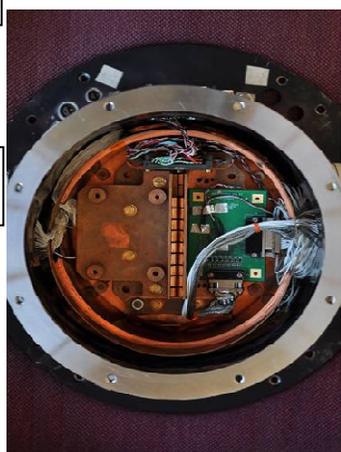


LPNHE

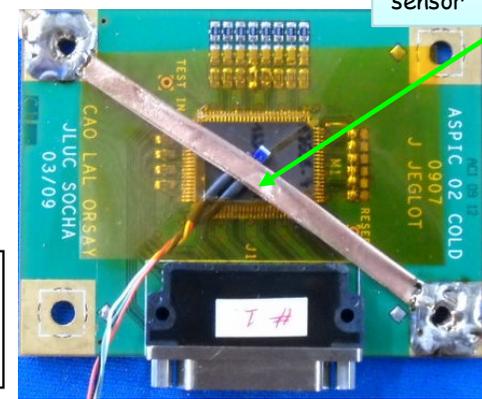


LAL

LAL Cryostat



ASPIC Test Board



Temperature sensor

Perspectives: 1 seule carte d'acquisition

7cm réservé pour le frein thermique

ASPIC et Source de courant = $\sim 1.22\text{W}$ à -120°C

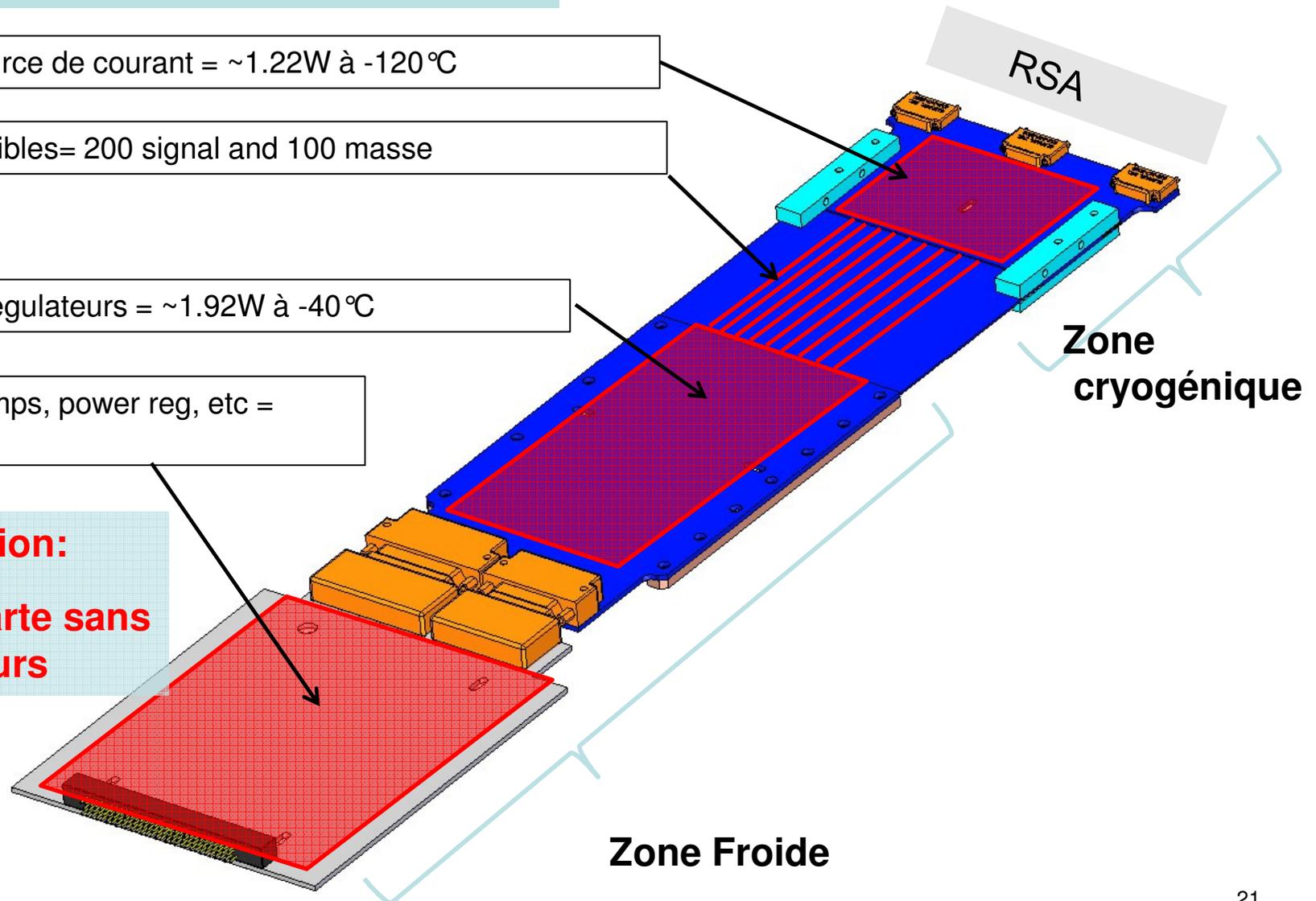
Pistes disponibles = 200 signal and 100 masse

CABAC et Regulateurs = $\sim 1.92\text{W}$ à -40°C

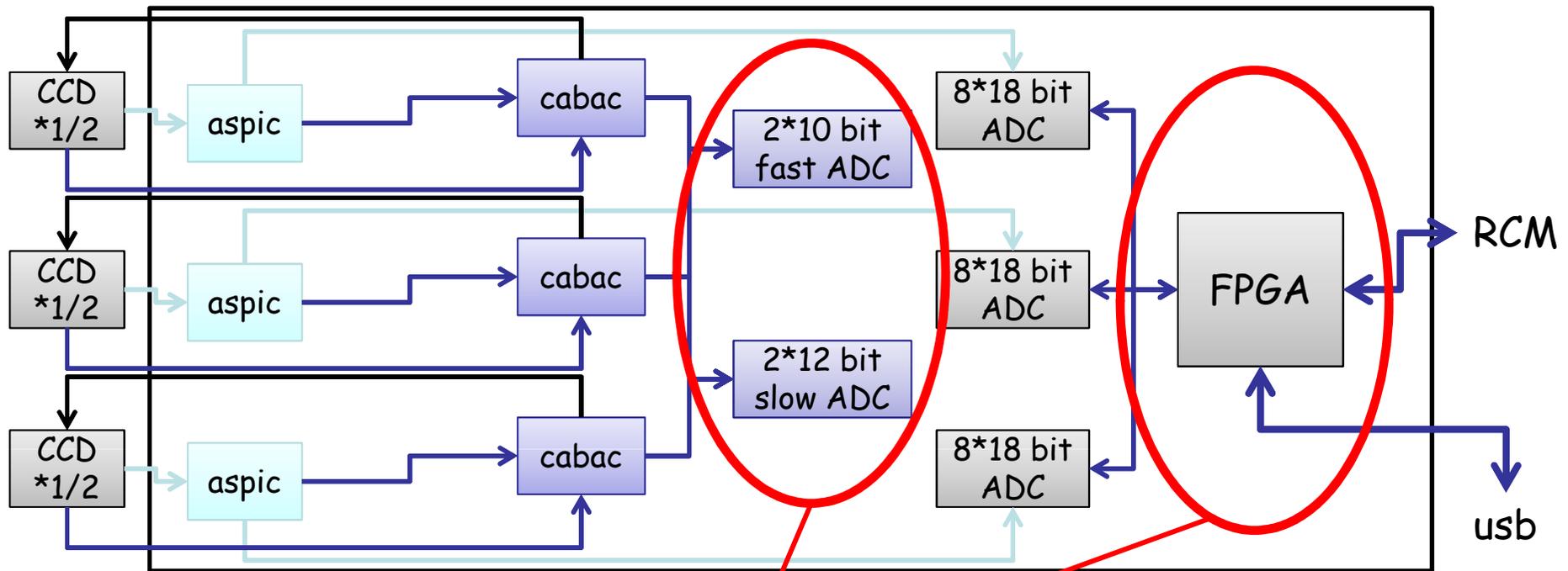
ADC's, diff amps, power reg, etc = $\sim 3.47\text{W}$

Autre Option:

1 seule carte sans connecteurs



Perspectives: diagnostic sur site ou en test



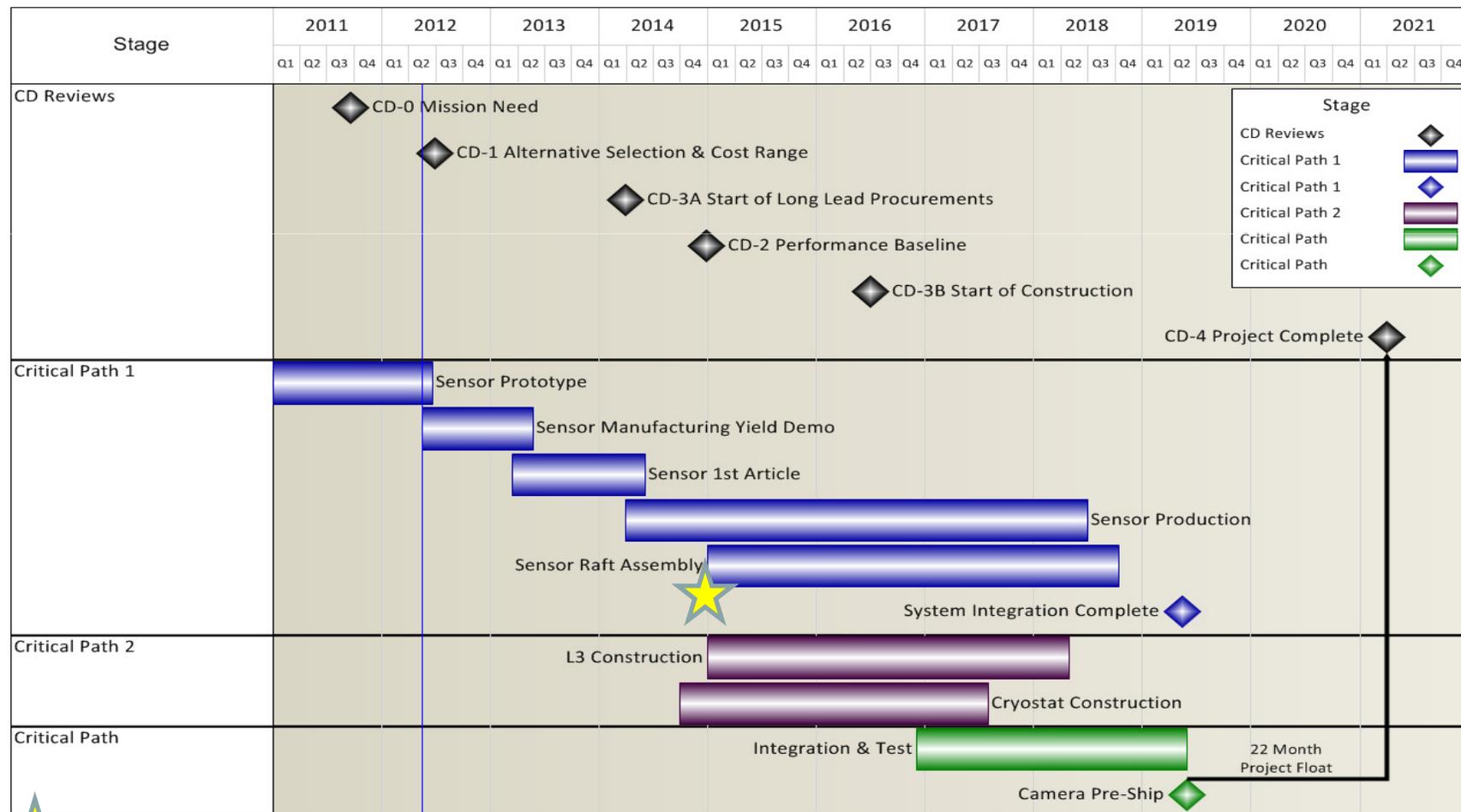
- ADC rapides:
 - visualisation des horloges: front s& niveau
 - Visualisation du signal des CCD en mode direct
- ADC lents: contrôle des tensions d'alimentation



Calendrier

- Avril 2012: soumission CABAC – 2 prototypes prévus
- Juillet 2012: soumission ASPIC III – dernier prototype
- Avant Juillet 2012: lecture d'un CCD LSST avec ASPIC II

Planning Camera



★ : Electronique finie!



LSST au LAL: qui?

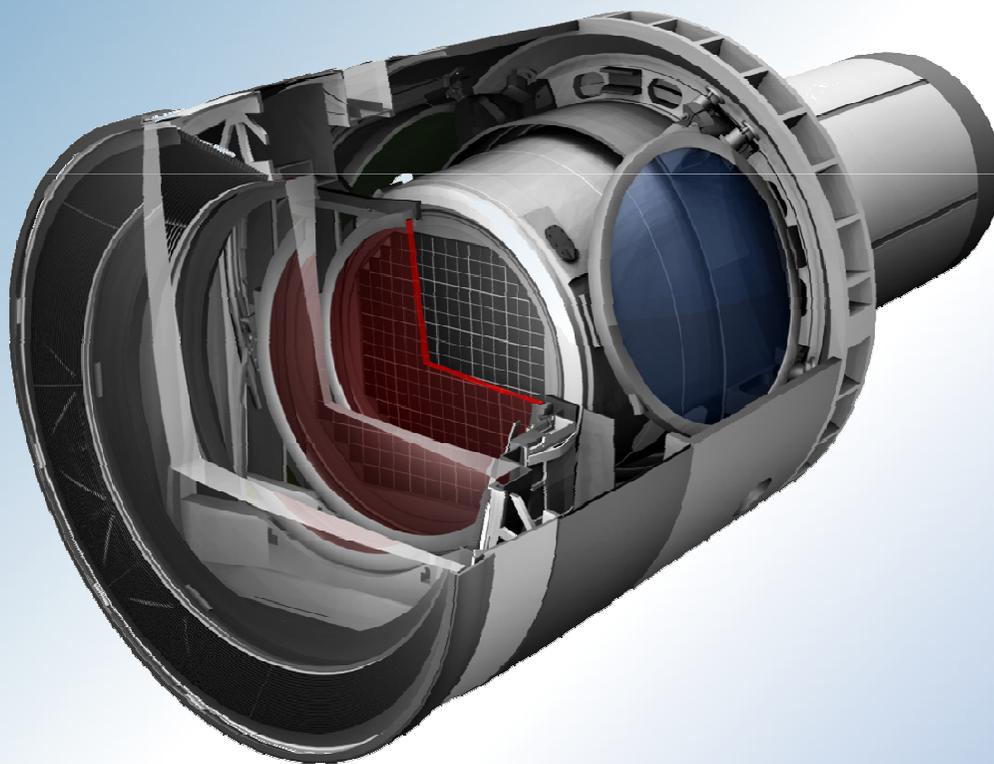
➤ Electronique:

- Vanessa Tocut (resp.): conception – 40%
- Jimmy Jeglot: tests – 100%
- François Wicek: tests - ~10 à 15%
- Groupe CAO & câblage

Support de groupe détecteur (Cyril Bazin – Jean François Vagnucci) et du groupe vide (SDTM)

➤ Science (étude de l'énergie noire):

- Marc Moniez (resp.)
- Reza Ansari
- Jean Eric Campagne



End