



## *Séminaire du Laboratoire de l'Accélérateur Linéaire*

**Gabriel Pares**

CEA

**Mardi 28 Avril 2015 à 11 :00**

## **Les technologies d'intégration 3D et leurs applications aux capteurs d'images**

La réduction des tailles des transistors CMOS - loi de Moore - devient de plus en plus difficile technologiquement et coûteuse à produire. De nouvelles solutions pour continuer à améliorer les performances des systèmes micro-électroniques émergent aujourd'hui comme l'intégration en 3 dimensions. L'empilement de puces verticalement 3D ou cote-à-côte 2.5 constitue un enjeu technologique majeur avec d'un côté l'augmentation des dimensions xy des puces et de leur complexité logique qui s'accompagne d'un nombre croissant d'entrée-sorties et de l'autre de la réduction des dimensions dans le sens vertical poussée par l'augmentation de la compacité des systèmes. L'exposé présentera les deux maillons principaux nécessaires à la réalisation de ces connexions verticales que sont d'une part les liens entre puces empilées (micro-piliers ou billes de soudure) et d'autre part les via traversant le substrat des puces TSV. Les modes de fabrication seront exposés et les axes de développement vers des tailles plus réduites seront discutés. Egalement les considérations concernant le comportement thermomécanique et la maîtrise de la planéité des empilages ainsi constitués seront abordés. Enfin, des illustrations seront données principalement dans la fabrication de capteurs d'images qui constituent à ce jour un des domaines applicatifs où ces technologies 3D présentent un intérêt majeur pour la performance de ces composants.

**Salle 101 du LAL - Bât. 200, Orsay**

Thé et café seront servis 5 mn avant le séminaire



Responsable : N. Delerue (seminaires@lal.in2p3.fr)- <http://www.lal.in2p3.fr>