



# « Electronique frontale microintégrée cryogénique bas bruit»

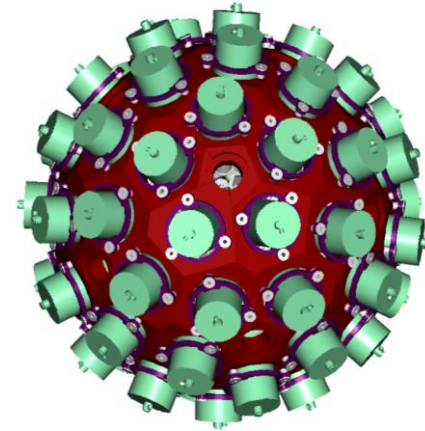
N.Karkour, [Ph.Vallerand](#)

- **Introduction**
- **Configuration actuelle**
  - ✓ Détection & Electronique frontale d'un triple "clusters"
  - ✓ Architecture de l'électronique frontale & performances
- **Motivation et objectifs visés**
- **Conception d'un asic PAC Cryo**
  - ✓ Architectures de la chaine & options d'intégration
  - ✓ Défis & technologies @IN2P3
- **Conclusion**

## Expérience AGATA

### ➤ Objectif à 2030 :

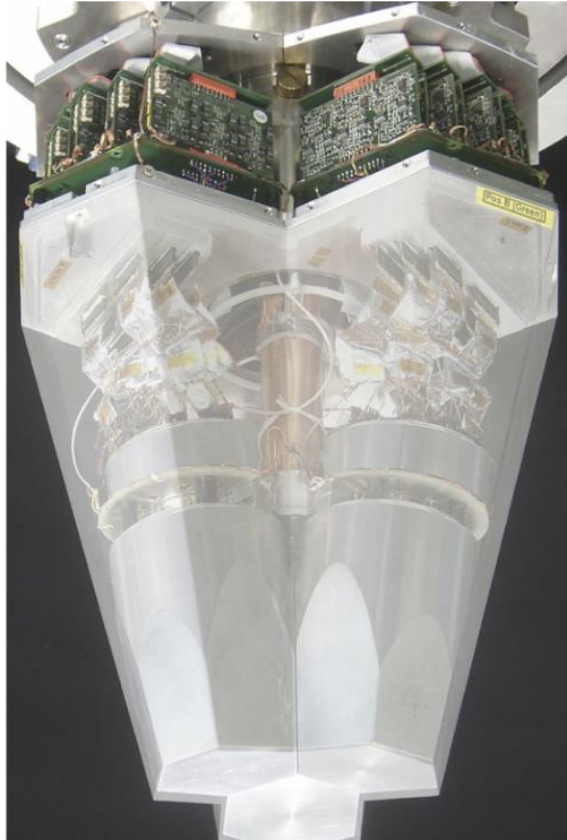
- ✓ Disposer à terme de 180 cristaux = 60 triple clusters Germanium de 36 segments + 2 core soit ~7000 voies
  - ✓ Améliorer continuellement l'intégration et les performances de l'ensemble "détecteur-électronique" et pérenniser son fonctionnement
- Préparer une nouvelle chaîne électronique pour 2030 ...



### ➤ Demande de financement Européen "Infratech" déposée en avril 2022

- ✓ Réponse négative mais la R&D exploratoire requise pour préparer l'upgrade phase III, doit être initiée...

## “Détection & Electronique frontale” d’un triple clusters

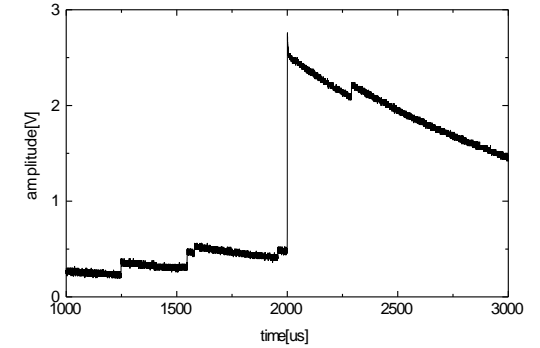
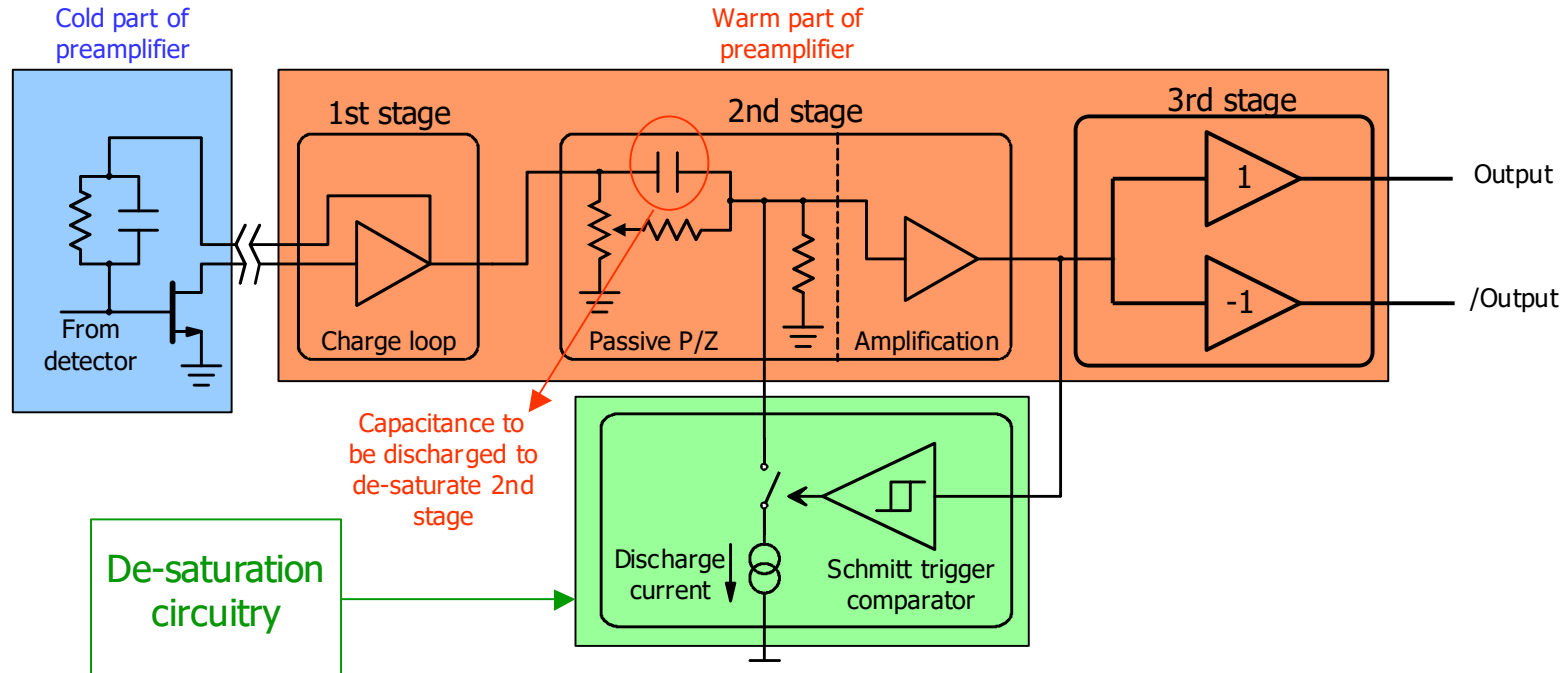


**PAC & Passive P/Z & Amplification  
@ room temperature**

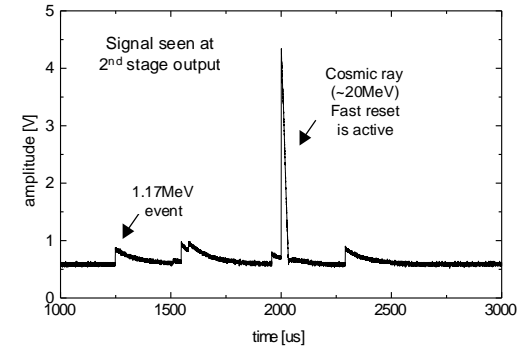
**Nappe reliant J-FET au PAC  
Cryogenic area @ 77°K**

**J-FET & Rf // Cf  
Cryogenic area**

## Architecture de l'électronique frontale

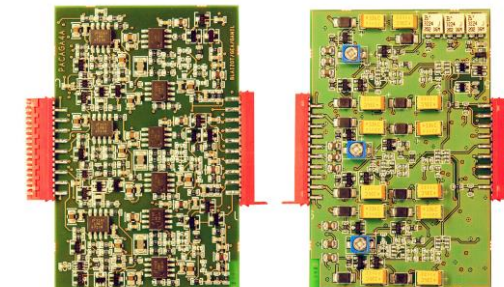


**Sortie 1<sup>er</sup> Etage**



**Sortie 2<sup>ème</sup> Etage**

## Performances de l'électronique frontale



### Description

Low noise (gamma spectroscopy grade)

Wide bandwidth (risetime of 20ns)

Short fall time (50us for the segments,  
30us for the core)

Low power consumption of the cold FET  
(<20mW) maintaining LN

Differential output buffer

Compactness

### Caractéristiques du PAC & P/Z discret actuelle

Property	value
Conversion gain	<b>110 mV / MeV (terminated)</b>
Noise	<b>0.6 kev fwhm (0 pF)</b>
Noise slope	<b>12±2 eV / pF</b>
Rise time	15 ns ± 2 ns (0 pF)
Rise-time slope	~0.3 ns / pF
Decay time	50 µs (segment) 30 µs (core)
Integral non linearity	< 0.025% (D=3.5V unterminated)
Output polarity	Differential, Z=100W
Fast reset speed	~10 MeV / µs
Inhibit output	TTL
Power supply	±6V, ±12V
Power consumption of input FET	< 20 mW
Power consumption (except diff. buffer)	<b>&lt; 250 mW</b>

## Amélioration de l'intégration et des performances de l'ensemble "détecteur-électronique"

- **Accroître la compacité pour :**
  - ✓ **réduire la longueur des cables**
    - ✓ Budget ↘ & fiabilité ↗
  - ✓ **améliorer les performances**
    - ✓ Immunité des signaux ++ : plus de signaux analogiques transmis sur longue distance (5m)...
    - ✓ Capacité réduite entre le FET et l'ampli Cd ↘
    - ✓ Tirer profit de l'électronique frontale @77° K



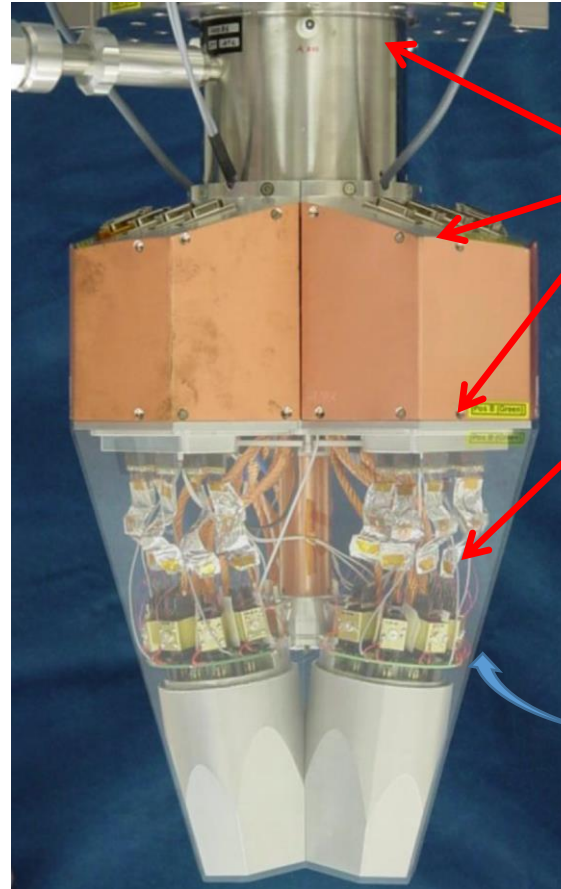
**AGATA @Legnaro (juin 2022)**

## Amélioration de l'intégration et des performances de l'ensemble "détecteur-électronique"

Utiliser la partie FET actuelle  
pour intégrer un VFE cryo

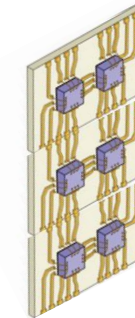


Exploiter la partie PAC actuelle  
pour intégrer les digitizers...

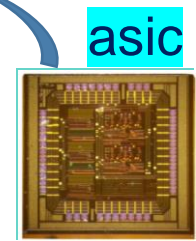


warm digitizers +  
preprocessing boards +  
10 Gb/s ethernet readout  
in close proximity

Very front end Electronics in  
cryostat :  
based on an ASIC + 1 micro  
board to host 6 dies



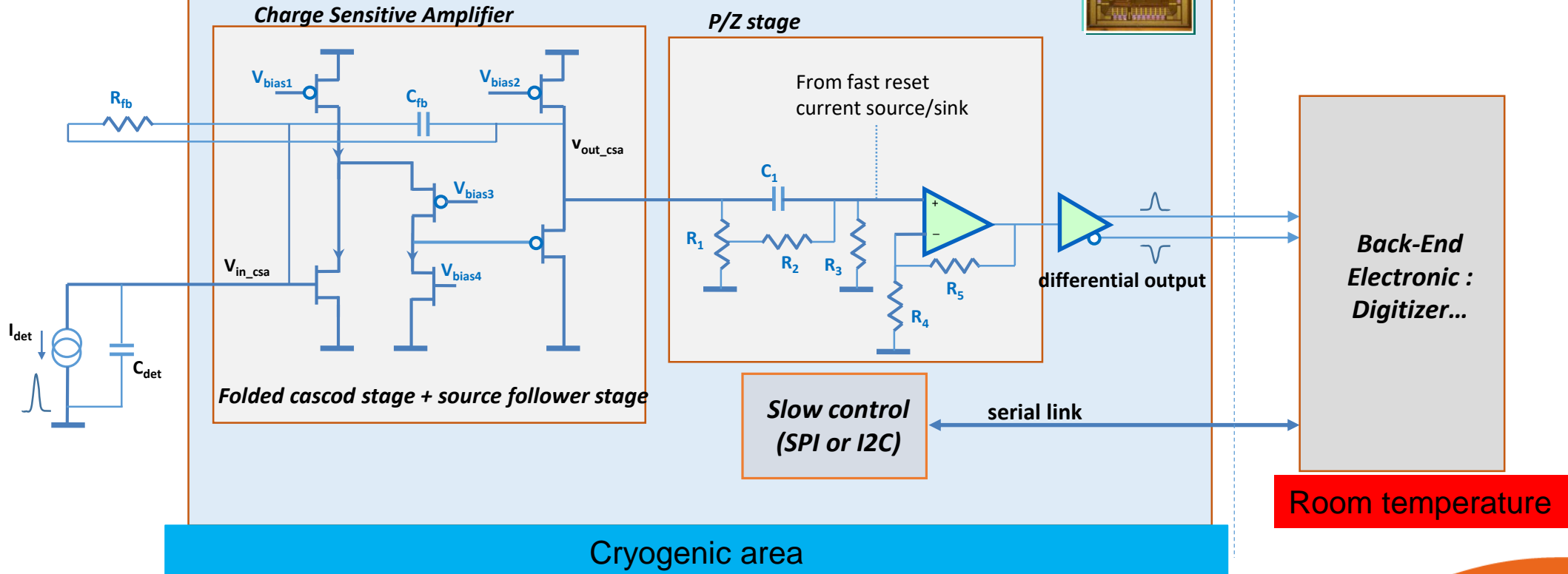
Micro-board (6voies)



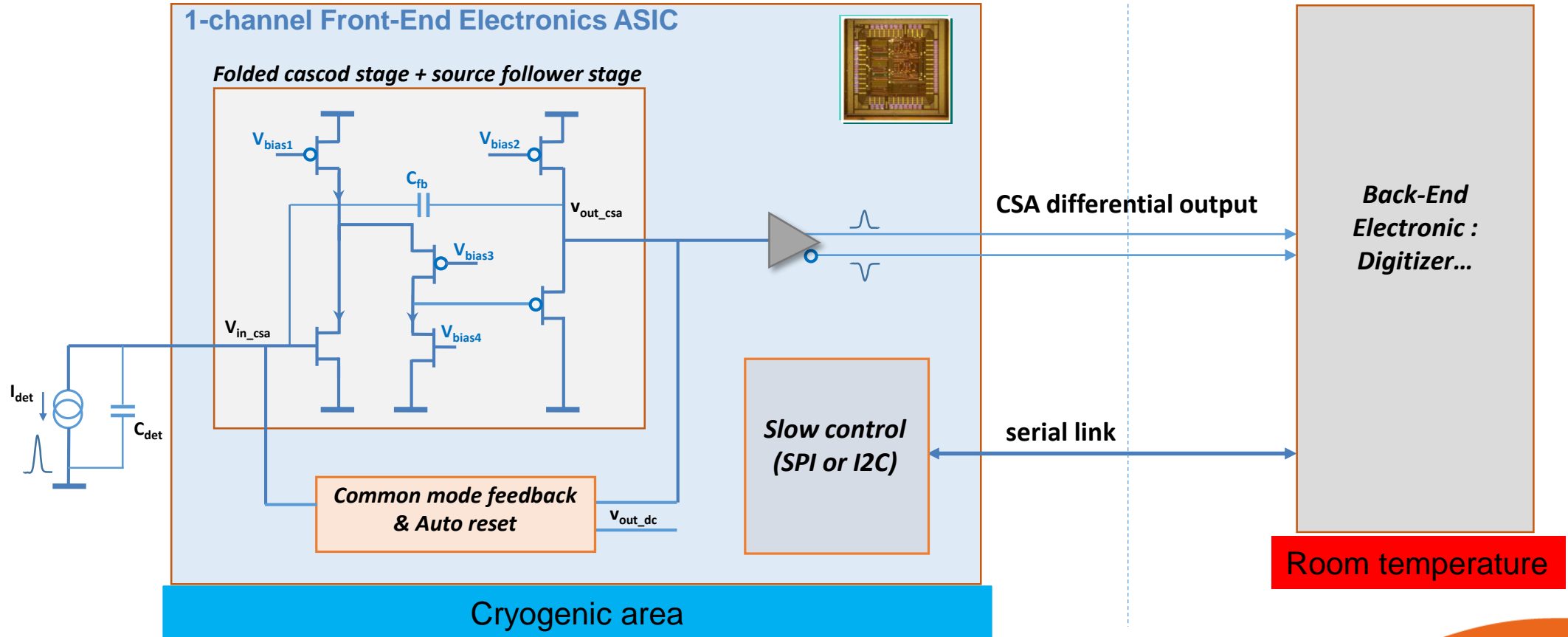


## Architecture « conservative » :

### 1-channel Front-End Electronics ASIC



## Architecture « innovante » :



## Options d'intégration :

options	Source commune d'entrée	Rf	Etage cascode	PAC à reset	P/Z à reset	Ampli différentiel
1	J-FET	CMS	MOS		avec	MOS
2		CMS	MOS		avec	MOS
3	MOS		MOS	avec		MOS
4	J-FET (CMOS process)		MOS	avec		MOS
		discret	microintégré			

**La réalisation d'un transistor J-FET dans un process CMOS est à évaluer...**

## Défis à relever :

- ✓ Niveau de bruit très “challenging” à atteindre :  
**CEB ~ 250eV !!**
- ✓ Gamme dynamique de sortie vs CMOS technologies : AMS C35(3.3V), XFAB 018 HV(1.8V)...
- ✓ Substitution de la résistance de décharge
  - Intégration d'un multiplicateur de résistance
  - Gestion de la ligne de base par auto reset
- ✓ Budget de puissance : 20mW pour le “source commune” + 250mW/3 voies → à évaluer sachant que le cryostat sera repensé...

## rappel

La CEB du filtre optimal :

$$CEB_{\infty} = \sqrt{Cd \cdot \sqrt{S_{itot} \cdot S_{etot}}}$$

obtenu avec un temps de mise en forme « *shaping time* » :

$$\tau_{\infty} = Cd \cdot \sqrt{\frac{S_{etot}}{S_{itot}}}$$

La CEB du filtre trapézoïdal :

$CEB_{\text{trapézoïdal}} = 1,075 \text{ à } 1,15 \cdot CEB_{\infty}$   
(équivalent du CR-RC4)

Cd = 20pF	$e_n$ in nV/√Hz	$i_n$ in fA/√Hz
	0,8	13
	0,9	11
	1	10
	1,1	9
	1,2	8

$e_n(\text{BF862})$

## 2 axes de développement :

### ➤ 1/ Partie “ASIC”

- ✓ Evaluer le niveau de bruit induit par le système à auto-reset par rapport à une résistance de décharge
- ✓ Caractériser les modèles de transistors @ 77°K pour estimer la tension équivalente de bruit ramenée en entrée et à comparer avec le transistor JFET ( data sheet  $e_{n(\text{BF862})} \sim 0.8\text{nV}/\sqrt{\text{Hz}}$  @300°K )
- ✓ Investiguer les technologies CMOS candidates pour répondre aux specifications : AMS C35, XFAB 018 HV...
- ✓ Implémenter un “contrôle à distance” : polarisation des étages, gain du PAC, ...

## 2 axes de développement :

### ➤ 2/ Partie “Integration Micro-board”

- ✓ Réduire les couplages de type “multivoies dans l’asic” → 1 voie par asic
- ✓ Optimiser le découplage des alimentations → “Bonding de l’asic” sur la micro board pour réduire le bruit d’alimentation induit par le packaging Classique.

Le câblage et les connecteurs doivent maintenir au maximum l'intégrité du signal et ainsi réduire le bruit CEM qui pourrait provenir de la qualité des connecteurs et de la capacité et du blindage du câble. De plus, le câblage peut transmettre la chaleur du vide à la température ambiante, ce qui est très important pour maintenir la température à environ 83 K.

Il y a 4 régions à l'intérieur du détecteur AGATA où les interconnexions sont extrêmement importantes. La connexion du segment à l'ASIC froid, la connexion d'alimentation à l'ASIC, les signaux de sortie de l'ASIC à la connexion vide-air et les lignes de commande à l'ASIC.

## Feuille de route

### ➤ Demande de financement de projet de R&T @IN2P3

- ✓ Collaboration : IJCLab, IP2I (expérience en cryo : asic Larzic pour TPC), LPC Caen intéressés
- ✓ Jalon de dépôt de la demande : sept 2023
- ✓ Durée du projet : 3 ans
- ✓ Objectif : “Proof of concept” d’un PAC cryo

**Merci pour votre attention**  
**Questions ?**